

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-79663

(43) 公開日 平成10年(1998) 3月24日

(51) IntCl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/00			H 0 3 L 7/00	D
G 0 6 F 1/12			H 0 3 K 5/135	
G 1 1 C 11/407			G 0 6 F 1/04	3 4 0 A
H 0 3 K 5/135			G 1 1 C 11/34	3 5 4 C
H 0 3 L 7/081				3 6 2 S

審査請求 未請求 請求項の数 7 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願平8-232937

(22) 出願日 平成8年(1996) 9月3日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 岩本 久

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 小西 康弘

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

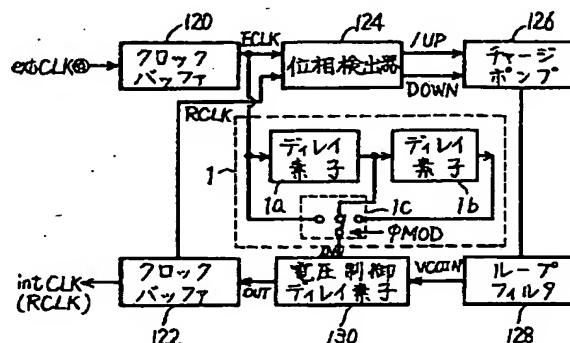
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 内部クロック発生回路および信号発生回路

(57) 【要約】

【課題】 動作周波数の広い内部クロック発生回路を提供する。

【解決手段】 外部クロック信号 ECLK と内部クロック信号 intCLK (RCLK) の位相差に従ってその遅延時間が調整され、その調整された遅延時間に従って内部クロック信号に相当する信号を発生する電圧制御ディレイ素子 (130) に対し、モード切換信号に従って選択的にその電圧制御ディレイ素子の遅延時間に対し遅延オフセットを与える可変遅延回路 (1) を設ける。遅延オフセット量により電圧制御ディレイ素子 (130) の動作速度が等価的に遅くなり、その動作周波数領域を低い方へシフトさせることができ、応じて内部クロック発生回路の動作周波数領域を広くすることができる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 外部から与えられる外部クロック信号に同期して動作する同期型半導体記憶装置において、前記外部クロック信号に同期した内部クロック信号を発生して内部回路へ与える内部クロック発生回路であって、前記外部クロック信号と前記内部クロック信号との位相差を検出する手段、

前記位相差に従って遅延時間が変更可能であり、前記遅延時間に従って動作して前記内部クロック信号に相当する信号を発生する遅延制御クロック発生手段、およびモード設定信号に従って前記遅延時間に対しオフセットを与える遅延オフセット手段を備える、内部クロック発生回路。

【請求項2】 前記遅延制御クロック発生手段は、各々の動作電流が前記位相差に応じて調整される複数のインバータの列を含み、

前記遅延オフセット手段は前記インバータ列と直列に接続され、前記モード設定信号に応じて設定された遅延時間を前記インバータ列の遅延時間に付加する可変遅延手段を含み、前記可変遅延手段およびインバータ列の直列経路に前記外部クロック信号が印加され、かつ前記直列経路の出力信号が前記内部クロック信号に相当する、請求項1記載の内部クロック発生回路。

【請求項3】 前記遅延制御クロック発生手段は、各々の動作電流が前記位相差に応じて調整される複数のインバータの列を含み、

前記遅延オフセット手段は、前記複数のインバータ列の最終段のインバータの出力信号を、前記モード設定信号により設定された遅延時間遅延して前記複数のインバータ列の初段のインバータの入力部へ与え、

前記最終段インバータまたは遅延オフセット手段から前記内部クロック信号に相当する信号が出力される、請求項1記載の内部クロック発生回路。

【請求項4】 前記同期型半導体記憶装置は動作態様を決定するデータを格納するモードレジスタを含み、

前記遅延オフセット手段は、前記モードレジスタに格納されたデータを前記モード設定信号として遅延オフセット量が設定される、請求項1ないし3のいずれかに記載の内部クロック発生回路。

【請求項5】 前記同期型半導体記憶装置は、データ読出指示が与えられてから有効データが出力されるまでにCASレイテンシーで規定される前記外部クロック信号のサイクル数を必要とし、

前記モードレジスタに格納されるデータは、前記CASレイテンシーを規定するデータである、請求項4記載の内部クロック発生回路。

【請求項6】 前記モード設定信号に従って前記外部クロック信号と前記遅延制御発生手段からのクロック信号の一方を選択して前記内部クロック信号として出力する手段をさらに備える、請求項1ないし5のいずれかに記

載の内部クロック発生装置。

【請求項7】 第1の信号から前記第1の信号に同期した信号を生成する信号発生回路であって、前記第1の信号と前記第2の信号との位相差を検出する手段、

前記位相差に応じた電圧を発生する手段、

前記電圧により決定される遅延時間を有し、前記遅延時間をもって動作し、前記第2の信号に相当する信号を発生する電圧制御遅延手段、および動作領域設定信号に回答して、前記遅延時間に対しオフセットを与える遅延オフセット手段を備える、信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、第1の信号としての外部クロック信号からこれに同期した第2の信号としての内部クロック信号を発生するための回路に関する。特に、この発明は外部クロック信号に同期して動作する同期型半導体記憶装置においてこの外部クロック信号に同期した内部クロック信号を発生して内部回路へ与える内部クロック発生回路に関する。

【0002】

【従来の技術】主記憶として用いられるダイナミック・ランダム・アクセス・メモリ（DRAM）はその動作速度が速くされてきているものの、その動作速度は依然外部処理装置であるマイクロプロセッサ（MPU）の動作速度に追従することができない。このため、システムの処理速度がDRAMのアクセスタイムおよびサイクルタイムにより制限を受け、このためDRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するという問題が生じる。このような問題を解決するために、高速MPUのための主記憶として、クロック信号に同期して動作するクロック同期型半導体記憶装置（SDRAM）が提案されている。SDRAMにおいては、高速アクセスを実現するために、システムクロック信号に同期して連続してたとえば8ビットの連続ビット（1つのデータ入出力端子について）に高速アクセスする仕様（バーストモード）が提案されている。

【0003】図16は、従来のSDRAMの標準的な連続アクセス動作を示すタイミングチャート図である。図16において、入出力データD/Qは、8ビットデータであり、8個のデータ（8バイトのデータ；64ビット）が連続して読出または書込まれる動作が示される。

【0004】SDRAMにおいては、外部クロック信号extCLKの立上がりエッジにおける複数の外部信号の状態の組合せにより装置内部で行なわれる動作が指定される。用いられる外部制御信号は、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEである。この複数の外部制御信号の状態の組合せは、通常「コマン

10

20

30

40

50

ド」と呼ばれる。アドレス信号ADDは、メモリセル行を指定するための行アドレス信号Xとメモリセル列を指定する列アドレス信号Yとが時分割的に多重化されて与えられる。

【0005】クロックサイクル# aにおいて、外部クロック信号extCLKの立上がりエッジにおいて、ロウアドレスストロブ信号/RASをLレベルとし、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEをともにHレベルとすると、アクティブコマンドが与えられ、SDRAM内部において、メモリセルアレイの活性化動作、すなわち行選択動作が行なわれる。このアクティブコマンドが与えられると、このときのアドレス信号ADDが行アドレス信号Xaとして取込まれ、この行アドレス信号Xaに従って行選択動作が行なわれる。

【0006】次いで、クロックサイクル# bにおいて、外部クロック信号extCLKの立上がりエッジにおいて、コラムアドレスストロブ信号/CASをLレベルに設定し、ロウアドレスストロブ信号/RASおよびライトイネーブル信号/WEをHレベルに設定すると、データ読出を示すリードコマンドが与えられる。Lレベルのコラムアドレスストロブ信号/CASに従って、そのときに与えられているアドレス信号ADDが列アドレス信号Ybとして取込まれ、この列アドレス信号Ybに従ってメモリセル列が選択される。このリードコマンドが与えられてから、CASレイテンシーと呼ばれるクロックサイクル数(図16においては、CASレイテンシーは3)が経過すると、クロックサイクル# cにおいて、最初の1バイトデータq0が出力される。以降、外部クロック信号extCLKの立上がりエッジに同期して、データq1、…q7が順次出力される。最初のデータが出力されるまでには、あるクロックサイクル数が必要とされるが、以降、外部クロック信号extCLKに従ってデータを出力することができ、高速のデータ読出を実現することができる。

【0007】データ書込動作時においては、まず、クロックサイクル# dにおいて、アクティブコマンドを与え、アドレス信号Xcに従ってSDRAM内で行選択動作を開始する。次いで、クロックサイクル# eにおいて、外部クロック信号extCLKの立上がりエッジにおいて、ロウアドレスストロブ信号/RASをHレベルとし、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEをともにLレベルに設定する。これにより、データ書込を示すライトコマンドが与えられる。Lレベルのコラムアドレスストロブ信号/CASに従ってアドレス信号ADDが列アドレス信号Yaとして取込まれ、内部で列選択動作が開始される。このライトコマンドが与えられるときには、ライトコマンドが与えられたクロックサイクル# eにおいて与えられたデータd0がSDRAM内部に取込まれる。以降、各

外部クロック信号extCLKの立上がりエッジでデータd1～d7が順次装置内部へ取込まれ、これらの取込まれた書込データは所定のシーケンスで選択メモリセルに書込まれる。

【0008】1つのアクセスコマンド(リードコマンドまたはライトコマンド)に従って連続的にアクセスされるデータの数は「バースト長」と呼ばれる。通常のDRAMにおけるロウアドレスストロブ信号/RASおよびコラムアドレスストロブ信号/CASという外部制御信号に同期してアドレス信号および入力データなどを取込んで内部動作を行なう方式と異なり、SDRAMにおいては外部から与えられるたとえばシステムクロックである外部クロック信号extCLKの立上がりエッジで外部制御信号/RAS、/CAS、/WE、アドレス信号ADDおよび書込データdなどの外部信号を取込み、外部制御信号(特定のアドレス信号ビットを含む場合もある)の状態により決定されるコマンドに従って内部動作が行なわれる。

【0009】外部クロック信号extCLKに同期して外部からの信号/RAS、/CAS、/WEおよびADDならびに書込データ(入力データ)を取込む同期動作を実行することにより、以下の利点が得られる。制御信号に対するアドレス信号のスキュー(タイミングのずれ)によるデータ入出力時間に対するマージンを確保する必要がなく、1つのアクセスに必要な時間すなわちサイクルタイムを短縮することができる。また、クロック信号extCLKに同期して連続データの書込および読出を実行することにより、連続アクセスタイムはクロック信号extCLKの1周期で決定されることになり、SDRAMの連続アクセスタイムを高速化することができる。

【0010】図17は、従来のSDRAMの全体の構成を概略的に示す図である。図17において、SDRAMは、外部クロック信号extCLKをバッファ処理して内部クロック信号intCLKを生成するクロックバッファ100と、クロックバッファ100からの内部クロック信号intCLKに同期して外部制御信号ext/RAS、ext/CAS、およびext/WEを取込み内部制御信号を生成する入力バッファ102と、内部クロック信号intCLKに同期して入力バッファ102から与えられる内部制御信号の状態を判定し、指定された内部動作を活性化するトリガ信号を生成するコマンドデコーダ104と、コマンドデコーダ104からのアドレス取込指示信号と内部クロック信号intCLKとに同期して、外部のアドレス信号ADDを取込み内部行アドレス信号および内部列アドレス信号を生成するアドレスバッファ106を含む。

【0011】アドレスバッファ106は、行アドレスバッファおよび列アドレスバッファを含み、コマンドデコーダ104からのトリガ信号に従って、これらの行アド

レスバッファおよび列アドレス場合が選択的に活性状態とされて時分割多重化されて与えられる行アドレス信号および列アドレス信号から内部行アドレス信号および内部列アドレス信号が生成される。

【0012】SDRAMは、さらに、行列状に配列される複数のメモリセルを有するメモリセルアレイ108と、コマンドデコーダ104からのトリガ信号にตอบสนองして、必要とされる内部制御信号を発生する制御信号発生回路110と、制御信号発生回路110からの制御信号にตอบสนองして活性化され、アドレスバッファ106から与えられる内部行アドレス信号をデコードし、メモリセルアレイ108の対応の行を選択状態へ駆動する行選択回路112と、制御信号発生回路110の内部制御信号にตอบสนองして活性化され、アドレスバッファ106から与えられる内部列アドレス信号に従ってメモリセルアレイ108の列を選択する列選択回路114と、制御信号発生回路110の出力信号にตอบสนองして駆動され、列選択回路114により選択された列に対しデータの入出力を行なう入出力回路116を含む。

【0013】制御信号発生回路110は、内部クロック信号intCLKに同期してCASレイテンシーおよびバースト長の制御を行ない、かつ入出力回路116におけるデータ入出力動作をこの内部クロック信号intCLKに同期して実行する。

【0014】行選択回路112は、アドレスバッファ106からの内部行アドレス信号をデコードするデコード回路およびデコード回路の出力信号に従ってメモリセルアレイ108の対応の行を選択状態へ駆動するワード線ドライブ回路などを含む。列選択回路114は、内部列アドレス信号に従ってメモリセルアレイ108の列を選択する信号を発生する列デコーダと、この列デコーダの出力する列選択信号に従ってメモリセルアレイ108の選択列を入出力回路116へ接続する10ゲートとを含む。

【0015】この図17に示すように、SDRAMの内部動作のトリガは、内部クロック信号intCLKにより行なわれる。この内部クロック信号intCLKはクロックバッファ100から生成されており、外部クロック信号extCLKに同期している。したがって、内部クロック信号intCLKにตอบสนองして（外部クロック信号extCLKに同期して）外部制御信号ext/RA S、ext/CAS、およびext/WEおよびアドレス信号ADDおよび入力データDの取込を行なっている。また、CASレイテンシーがこの内部クロック信号intCLKをカウントすることにより実現され、またバースト長のカウントもこの内部クロック信号intCLKをカウントすることにより行なわれる。

【0016】図18に示すように、クロックバッファ100においては、外部クロック信号extCLKがバッファ処理されており、外部クロック信号extCLKと

内部クロック信号intCLKの間には遅延時間tdが存在する。この内部クロック信号intCLKの立上がり（立下がり）により内部動作がトリガされる。入出力回路116においては、この内部クロック信号intCLKに同期して制御信号発生回路110の制御の下に内部データが転送される。したがって、この遅延時間tdが大きい場合、内部動作の開始タイミングが遅くなり、高速アクセスができなくなる。また、内部データ転送開始タイミングが遅れるため、外部にデータが出力される場合、外部クロック信号extCLKの立上がりエッジに対し、十分な長さの外部データのセットアップタイムを保証することができず、正確なデータ読出を行なうことができなくなる。

【0017】クロックバッファ100は、内部クロック信号intCLKをSDRAM内部の各回路へ伝達しており、比較的大きな駆動力が必要とされる。したがって、通常のたとえばインバータバッファを用いた場合、その遅延時間が大きくなり、特に高速動作時にはその遅延時間を無視することができなくなり（遅延時間のサイクルタイムに対する割合が大きくなる）、高速アクセスを実現することができなくなる。

【0018】そこで、上述のような通常のバッファに代えて、外部クロック信号extCLKに同期した内部クロック信号を発生するために、ディレイドロクロックループ（以下、DLLと称す）またはフェーズロックループ（以下、PLLと称す）を用いた内部クロック発生回路が提案されている。DLLまたはPLLを用いることにより、内部クロック信号を外部クロック信号に位相同期させることができ、この内部クロック信号の外部クロック信号に対する遅延をなくすることが可能である。

【0019】図19は、DLLを用いる内部クロック発生回路の構成を概略的に示す図である。図19において、内部クロック発生回路は、外部クロック信号extCLKをバッファ処理するクロックバッファ120と、内部クロック信号RCLK（またはintCLK）とクロックバッファ120からのクロック信号ECLKの位相差を検出する位相検出器124と、位相検出器124からの制御信号UPおよびDOWNに従って電流を充放電するチャージポンプ126と、このチャージポンプ126の充放電電流をキャパシタにより電圧信号に変換しかつ平滑化するループフィルタ128と、ループフィルタ128の出力電圧VCOINに従ってその遅延時間が調整され、入力ノードINに与えられるクロック信号ECLKを遅延して出力ノードOUTに出力する電圧制御ディレイ素子130を含む。この電圧制御ディレイ素子130の出力信号はクロックバッファ122へ与えられる。クロックバッファ122は、内部クロック信号RCLK（またはintCLK）を生成する。

【0020】位相検出器124は、クロック信号ECLKの位相がクロック信号RCLKの位相よりも進んでい

10

20

30

40

50

る場合には、制御信号/UPをLレベル、制御信号DOWNをLレベルとし、チャージポンプ126に充電電流を生じさせる。逆の場合には、位相検出器124は、制御信号/UPをHレベル、制御信号DOWNをHレベルとし、チャージポンプ126に放電電流を生じさせる。チャージポンプ126が充電電流を生じた場合には、ループフィルタ128からの制御電圧VCOINの電圧レベルが上昇し、一方チャージポンプ126が放電電流を生じた場合には、ループフィルタ128からの制御電圧VCOINが低下する。

【0021】電圧制御ディレイ素子130は、この制御電圧VCOINが上昇すると、その動作電流が上昇し、遅延時間が短くなり、内部出力ノードOUTからのクロック信号の位相を進める。一方、制御電圧VCOINが電圧レベルが低下すると、電圧制御ディレイ素子130の動作電流が低下し、この電圧制御ディレイ素子130からの出力ノードOUTに出力される信号の位相が遅れる。

【0022】この位相検出器124、チャージポンプ126、ループフィルタ128、電圧制御ディレイ素子130およびクロックバッファ122はフィードバックループを構成しており、したがってこの図19に示す内部クロック発生回路は一種の自動制御回路である。したがって、この位相検出器124における位相差が0となるようにこのループフィルタ128からの制御電圧VCOINの電圧レベルが調整され、クロックバッファ122からの内部クロック信号RCLK（またはintCLK）は外部クロック信号extCLKに位相同期しかつ周波数が同じクロック信号となる。ここで、クロックバッファ120は、位相検出器124へクロック信号ECLKを与えるだけであり、その駆動力は十分小さくすることができ、このクロックバッファ120における遅延時間はほぼ無視することができる。クロックバッファ122は、内部回路へ内部クロック信号RCLK（またはintCLK）を伝達するため駆動力は比較的大きくされる。しかしながら、このクロックバッファ122の出力するクロック信号RCLKとクロックバッファ120の出力するクロック信号ECLKの位相が等しくされるようにフィードバック制御が行なわれているため、クロックバッファ122の駆動力が大きくされていても、その遅延時間は実効的に無視されることになり、大きな駆動力を持ったかつ外部クロック信号extCLKに位相同期した内部クロック信号RCLK（またはintCLK）が生成される。

【0023】図20は、図19に示す電圧制御ディレイ素子の具体的構成の一例を示す図である。図20において、電圧制御ディレイ素子130は、ループフィルタ128からの制御電圧VCOINに従って制御電圧VINPおよびVINNを生成するカレントミラー回路130aと、このカレントミラー回路130aから出力される

電圧VINPおよびVINNに従ってその遅延時間が規定される遅延回路130bを含む。遅延回路130bは、入力ノードINに与えられるクロック信号ECLKを遅延して出力ノードOUTに内部クロック信号に相当するクロック信号を生成する。

【0024】カレントミラー回路130aは、電源電圧を受ける電源ノードVccと内部ノード130aaの間に接続されかつそのゲートが内部ノード130aaに接続されるpチャネルMOSトランジスタP1と、電源ノードVccと内部ノード130abの間に接続されかつそのゲートが内部ノード130aaに接続されるpチャネルMOSトランジスタP2と、内部ノード130aaと接地ノードVssの間に互いに直列に接続されるnチャネルMOSトランジスタN1および抵抗素子Rと、内部ノード130abと接地ノードVssの間に接続されかつそのゲートが内部ノード130abに接続されるnチャネルMOSトランジスタN2を含む。MOSトランジスタN1のゲートへ、図19に示すループフィルタ128からの制御電圧VCOINが与えられる。

【0025】MOSトランジスタP1およびP2はカレントミラー回路を構成しており、これらのサイズは等しくされていれば、MOSトランジスタP1およびP2には、同じ大きさの電流が流れる。MOSトランジスタN2は、MOSトランジスタP2から電流を供給され、抵抗モードで動作し、このMOSトランジスタP2から供給される電流に応じた電圧VINNを生成する。MOSトランジスタP2およびN2には、同じ大きさの電流が流れる。内部ノード130aaから制御電圧VINPが出力され、内部ノード130abから制御電圧VINNが出力される。

【0026】遅延回路130bは、各々の動作電流が制御電圧VINPおよびVINNにより調整される複数のカスケード接続されたインバータIV1～IVnで構成されるインバータチェーンを含む。インバータIVi（i=1～n）は、電源ノードVccと出力ノードの間に互いに直列に接続されるpチャネルMOSトランジスタPTiおよびPTiと、出力ノードと接地ノードVssの間に互いに直列に接続されるnチャネルMOSトランジスタNTiおよびNTiを含む。MOSトランジスタPTiのゲートは、内部ノード130aaに接続され、MOSトランジスタNTiのゲートは、内部ノード130abに接続される。MOSトランジスタPTiおよびNTiのゲートは共通に前段のインバータの出力ノードに接続される。初段のインバータを構成するMOSトランジスタP11およびN11のゲートへ、入力ノードINを介してクロック信号ECLKが与えられる。最終段のインバータ（MOSトランジスタPinおよびNin）の出力ノードが出力ノードOUTへ接続される。

【0027】MOSトランジスタPT1～PTnおよびNT1～NTnは、それぞれのインバータの電流源とし

て作用する。MOSトランジスタPT1~PTnはそれぞれのゲートに制御電圧VINPを受け、MOSトランジスタNT1~NTnは、それぞれのゲートに制御電圧VINNを受ける。MOSトランジスタPT1~PTnは、MOSトランジスタP1とカレントミラー回路を構成し、MOSトランジスタNT1~NTnは、MOSトランジスタN1とカレントミラー回路を構成する。MOSトランジスタPT1~PTnのサイズがMOSトランジスタP2のサイズと同じであり、またMOSトランジスタNT1~NTnのサイズがMOSトランジスタN2のサイズと同じ場合には、これらに各インバータIV1~IVnに、MOSトランジスタP2およびN2を介して流れる電流と同じ大きさの電流が動作電流として流れる。次に動作について簡単に説明する。

【0028】制御電圧VCOINがLレベルのときには、MOSトランジスタN1がオフ状態であり、制御電圧VINPは電源電圧レベルとなり、MOSトランジスタP1およびP2がオフ状態となり、MOSトランジスタP2から電流が供給されないため、MOSトランジスタN2もオフ状態となる。この状態において、MOSトランジスタPT1~PTnおよびNT1~NTnはすべてオフ状態となり、遅延回路130bは動作電流が供給されないため、出力ノードOUTはフローティング状態となる。

【0029】制御電圧VCOINの電圧レベルが上昇すると、MOSトランジスタN1のコンダクタンスが大きくなり、MOSトランジスタP1を介して電流が流れる。このMOSトランジスタP1を介して電流が流れると、このMOSトランジスタP1を介して流れる電流に応じた制御電圧VINPが生成される。すなわち、MOSトランジスタP1は、飽和領域で動作するため、このMOSトランジスタP1を介して流れる電流は、次式で与えられる。

$$【0030】\beta(V_{INP}-V_{cc}-V_{thp})^2$$

ここで、 V_{thp} は、MOSトランジスタP1のしきい値電圧を示す。また係数 β は、pチャネルMOSトランジスタP1のコンダクタンス係数であり、ゲート幅とゲート長の比に比例する。

【0031】この制御電圧VINPに従って、MOSトランジスタP2にも電流が流れ、MOSトランジスタN2のドレイン（内部ノード130ab）からの制御電圧VINNの電圧レベルも上昇する。このMOSトランジスタN2も、ゲートおよびドレインが相互接続されており、飽和領域で動作し、次式で示す電流を供給する。

$$【0032】\beta(V_{INN}-V_{thn})^2$$

ここで、接地電圧Vssは0Vとしている。 V_{thn} はMOSトランジスタN2のしきい値電圧を示す。この制御電圧VINPおよびVINNに従って、遅延回路130bに含まれる電流源トランジスタPT1~PTnおよびNT1~NTnも電流を供給する。インバータ列IV

1~IVnが、この電流源トランジスタPT1~PTnおよびNT1~NTnが供給する電流に従って動作し内部ノード1Nに与えられたクロック信号ECLKを遅延して伝達する。制御電圧VCOINの電圧レベルが上昇すれば、MOSトランジスタN1のコンダクタンスも上昇し、制御電圧VINPの電圧レベルが低下し、MOSトランジスタP2を介して流れる電流量が上昇し、応じて制御電圧VINNの電圧レベルも上昇する。したがって電流源トランジスタPT1~PTnおよびNT1~NTnの供給する動作電流も増大する。

【0033】インバータIV1~IVnは、その動作電流が大きければ、高速でその出力ノードを充放電することができる。したがって動作電流が大きくなれば、これらのインバータIV1~IVnの有する遅延時間が小さくなり、この遅延回路130bの有する遅延時間が短くなる。一方、電流源トランジスタPT1~PTnおよびNT1~NTnの供給する動作電流が小さくなれば、インバータIV1~IVnの出力ノードの充放電電流が低下し、インバータIV1~IVnの動作速度が遅くなり、インバータIV1~IVnの有する遅延時間が大きくなり、応じて遅延回路130bの有する遅延時間が大きくなる。

【0034】遅延回路130bの有する遅延時間が短くなれば、出力ノードOUTへ現われるクロック信号は、その位相が相対的に進められる。一方、遅延回路130bの有する遅延時間が長くなれば、出力ノードOUTに現われるクロック信号の位相が遅くなる。制御電圧VCOINは、クロック信号ECLKおよびRCLKの位相差に従って生成されている。クロック信号ECLKの位相がクロック信号RCLKよりも進んでいる場合には、制御電圧VCOINが電圧レベルが上昇し、遅延回路130bの有する遅延時間が短くされる。一方、クロック信号ECLKの位相がクロック信号RCLKよりも遅くなると、制御電圧VCOINの電圧レベルが低下し、遅延回路130bの有する遅延時間が長くされる。これにより、出力ノードOUTから出力される信号は、クロック信号ECLKおよびRCLKの位相が同じとなるように調整された信号、すなわち、クロック信号ECLKに位相同期した（ロックした）信号となる。クロック信号ECLKに位相の等しい信号を出力する状態をDLLが「ロック」した状態と称す。

【0035】

【発明が解決しようとする課題】この図20に示すような電圧制御ディレイ素子130を利用することにより、外部クロック信号extCLKに位相同期した内部クロック信号RCLK(intCLK)を生成することができる。この電圧制御ディレイ素子130は、インバータIV1~IVnの動作速度を調整することにより、内部クロック信号の位相および周波数を調整している。この遅延回路130bの最大動作速度状態は、MOSトラン

ジスタPT1~PTnおよびNT1~NTnが最大電流を供給する状態である。この制御電圧VCOINに従って遅延回路130bの遅延時間を調整するためには、MOSトランジスタPT1~PTnおよびNT1~NTnを線形領域で動作させる必要がある(飽和領域で動作させた場合、制御電圧VINPおよびVINNに従って動作電流を変更することはできない)。したがって、内部クロック発生回路の動作速度(動作周波数)に上限が存在する。

【0036】また、制御電圧VCOINの電圧レベルを低下させた場合、制御電圧VINPの電圧レベルが上昇し、また制御電圧VINNの電圧レベルが低下し、この遅延回路130bの有する遅延時間を大きくすることができる。しかしながら、このような大きな遅延時間の場合、制御電圧VCOINの少しの変化でMOSトランジスタN1のコンダクタンスが大きく変化し(MOSトランジスタはしきい値電圧近傍でそのコンダクタンスは大きく変化する)、制御電圧VCOINの少しの変化で制御電圧VINPおよびVINNが大きく変化し、電流源トランジスタPT1~PTnおよびNT1~NTnの供給電流が大きく変化し、応じて遅延回路130bの有する遅延時間が大きく変化するため、不安定な動作となり、最大遅延時間にも限度がある。

【0037】したがって、この図20に示すような電圧制御ディレイ素子130には、その安定に遅延させることのできる信号周波数範囲に限界があり、広範な周波数範囲にわたって安定にロックすることができなくなるという欠点が生じる。

【0038】SDRAMは、66MHz、100MHz、150MHzと適用されるシステムの動作速度に応じてそのクロック信号の周波数が異なる。したがって、内部クロック発生回路のロック範囲が制限される場合、各クロック周波数に応じて、内部クロック発生回路を別々に形成する必要があり、応じてSDRAMの種類が増加し、製品コストが高くなるという欠点が生じる。

【0039】上述のような問題は、一般にSDRAMの内部クロック発生回路に限らず、外部信号に同期した内部信号を発生するDLLまたはPLLにおいて同様に生じる。

【0040】それゆえ、この発明の目的は、広範な範囲の周波数の信号に対し安定にロックすることのできる内部クロック発生回路を提供することである。

【0041】この発明の他の目的は、広範な範囲の周波数の外部クロック信号に同期して安定に動作する同期型半導体記憶装置を実現するための内部クロック発生回路を提供することである。

【0042】

【課題を解決するための手段】この発明に係る内部クロック発生回路は、外部クロック信号と内部クロック信号との位相差を検出する手段と、その検出された位相差に

従って遅延時間を変更可能であり、その遅延時間に従って動作して内部クロック信号に相当する信号を発生する遅延制御クロック発生手段と、モード設定信号に従って、この遅延時間に対しオフセットを与える遅延オフセット手段を備える。

【0043】請求項2に係る内部クロック発生回路は、請求項1の回路において、遅延制御クロック発生手段が、各々の動作電流が位相差に応じて調整される複数のインバータ列を含み、遅延オフセット手段は複数のインバータ列と直列に接続され、モード設定信号により設定された遅延時間をインバータ列が与える遅延時間に付加する可変遅延手段を含む。この可変遅延手段およびインバータ列で構成される直列経路に外部クロック信号が入力される。

【0044】請求項3に係る内部クロック発生回路は、請求項1の回路において制御遅延クロック発生手段は、各々の動作電流が位相差に応じて調整される複数のインバータ列を含み、遅延オフセット手段は、複数のインバータ列の最終段のインバータの出力信号をモード設定信号により設定された遅延時間遅延して複数のインバータ列の初段のインバータの入力部へ与える。

【0045】請求項4に係る内部クロック発生回路は、請求項1ないし3のいずれかの回路において、遅延オフセット手段は、同期型半導体記憶装置の動作態様を決定するデータを格納するモードレジスタに格納されたデータをモード設定信号としてその遅延オフセット量が設定される。

【0046】請求項5に係る内部クロック発生回路は、請求項4の回路において、モードレジスタに格納されるデータは、同期型半導体記憶装置のデータ読出指示が与えられてから有効データが出力されるまでに必要とされる外部クロック信号のサイクル数を示すCASレイテンシーを設定するデータである。

【0047】請求項6に係る内部クロック発生回路は、モード設定信号に従って外部クロック信号および遅延制御クロック信号の一方を選択して内部クロック信号として出力する手段をさらに備える。

【0048】請求項7に係る信号発生回路は、第1の信号と前記第2の信号との位相差を検出する手段と、この位相差に応じた電圧を発生する手段と、この発生された電圧により決定される遅延時間を有し、この決定される遅延時間をもって動作して第2の信号に相当する信号を発生する電圧制御遅延手段と、動作領域設定信号にตอบสนองしてこの遅延時間に対しオフセットを与える遅延オフセット手段を備える。

【0049】遅延制御クロック発生手段が有する遅延時間に対し、モード設定信号に従ってオフセットを与えることにより、この遅延制御クロック発生手段の有する遅延時間を等価的に変更することができ、応じて遅延制御クロック発生手段の動作速度を変更することができ、応

じて外部クロック信号の周波数に応じてこの遅延制御クロック発生手段の動作周波数を変更することができる。これにより、ロック範囲を外部クロック信号(第1の信号)の周波数に応じて変更することができ、結果的にロック可能な動作周波数範囲を広くすることができる。

【0050】

【発明の実施の形態】

【実施の形態1】図1は、この発明の実施の形態1に従う内部クロック発生回路の全体の構成を概略的に示す図である。図1において、この発明の実施の形態1に従う内部クロック発生回路は、外部からのクロック信号extCLKをバッファ処理するクロックバッファ120と、このクロックバッファ120からのクロック信号ECLKをモード設定信号としてのモード切換信号φMODに従って定められた遅延時間遅延して伝達する可変遅延回路1と、ループフィルタ128から与えられる制御電圧VCOINに従ってその動作電流量すなわち遅延時間が規定され、可変遅延回路1を介して与えられるクロック信号を伝達する電圧制御ディレイ素子130を含む。

【0051】可変遅延回路1は、クロックバッファ120からのクロック信号ECLKを遅延するディレイ素子1aと、このディレイ素子1aの出力信号をさらに遅延するディレイ素子1bと、モード切換信号φMODに従ってクロック信号ECLK、ディレイ素子1aの出力信号およびディレイ素子1bの出力信号のいずれかを選択して電圧制御ディレイ素子130の入力ノードINへ伝達する選択回路1cを含む。ディレイ素子1a、1bはたとえばインバータ遅延回路、RC遅延回路などで構成される。

【0052】この内部クロック発生回路は、さらに、電圧制御ディレイ素子130の出力ノードOUTから与えられるクロック信号をバッファ処理して内部クロック信号intCLK(またはRCLK)を生成するクロックバッファ122と、このクロックバッファ122からの内部クロック信号RCLK(またはintCLK)とクロックバッファ120からのクロック信号ECLKの位相差を検出する位相検出器124と、位相検出器124からの制御信号/UPおよびDOWNに従って電流を充放電するチャージポンプ126を含む。チャージポンプ126からの供給電流がループフィルタ128により電圧情報に変換されて、制御電圧VCOINが生成される。

【0053】電圧制御ディレイ素子130は、図20に示す従来の電圧制御ディレイ素子と同じ構成を備える。したがって、この制御電圧VCOINに従ってその動作電流すなわち遅延時間が決定される。可変遅延回路1により、モード切換信号φMODにより設定された遅延時間がクロック信号ECLKに与えられて電圧制御ディレイ素子130へ与えられる。したがって、等価的に電圧

制御ディレイ素子130の有する遅延時間が、この可変遅延回路1が与える遅延時間だけ増加したことになる。この可変遅延回路1が与える遅延時間を調整することにより、電圧制御ディレイ素子130がロックすることのできるクロック信号の動作周波数領域を変更する。この遅延時間と動作周波数との関係について以下に説明する。

【0054】図2(A)に示すように、今、電圧制御ディレイ素子130の与えることのできる遅延時間を、 Δt_0 ないし Δt_1 とする。遅延時間 Δt_1 は、遅延時間 Δt_0 よりも長い。電圧制御ディレイ素子130は、図20に示すように、複数のインバータ列で構成されている。したがって、この電圧制御ディレイ素子130の遅延時間が短ければ高速で動作し、したがってロックすることのできる信号の周波数が高くなる。一方、この電圧制御ディレイ素子130に対し、可変遅延回路1を介してクロック信号を伝達する場合、この可変遅延回路1の遅延時間Tが電圧制御ディレイ素子130の与える遅延時間に付け加えられる。したがって、等価的に電圧制御ディレイ素子130の与える遅延時間は $T + \Delta t_0$ ないし $T + \Delta t_1$ となる。この場合、その遅延時間の範囲が時間Tだけオフセットがかけられたことになり、その動作周波数領域(ロックすることのできるクロック信号の周波数)領域が低い方にシフトする。したがって、可変遅延回路1により、クロック信号ECLKに対する遅延時間を調整することにより、内部クロック信号intCLK(またはRCLK)の周波数範囲を調整することができる。これにより、外部クロック信号extCLKの周波数に応じて可変遅延回路1の与える遅延時間を変更することにより、内部クロック発生回路の動作周波数領域を変更することができ、等価的に、この動作周波数領域を広くすることができる。

【0055】すなわち図2(B)に示すように、ループフィルタ128からの制御電圧VCOINが高くなると、電圧制御ディレイ素子130の動作電流が大きくなり、その遅延時間が短くされ、与えられた信号の位相を進めまたその動作速度も速くなる。可変遅延回路1により遅延時間Tが与えられない場合(図1の選択回路1cがクロック信号ECLKを選択する状態)、その電圧制御ディレイ素子130の動作周波数領域はF0で与えられる。一方、可変遅延回路1が遅延時間Tを与えれば、等価的に電圧制御ディレイ素子130の有する遅延時間が大きくなり、その動作速度が遅くなり、電圧制御ディレイ素子130の動作周波数領域は領域F1となる。したがって、可変遅延回路1により、遅延時間Tを調整することにより、動作周波数領域を、外部クロック信号extCLKの周波数に合わせて調整することができ、広範な範囲のクロック信号周波数にロックした内部クロック信号を生成することができる。次に各部の構成について説明する。

【0056】図3は、図1に示す位相検出器124、チャージポンプ126およびループフィルタ128の構成を具体的に示す図である。電圧制御ディレイ素子130は、図20に示す構成と同じである。図3において、位相検出器124は、クロックバッファ120から与えられるクロック信号ECLKを受けるインバータIV1と、クロックバッファ122からのクロック信号RCLK（またはintCLK）を受けるインバータIV2を含む。この位相検出器124は、クロック信号ECLKおよびRCLKの立上りの位相を比較し、その位相差に応じて制御電圧（信号）／UPおよびDOWNを生成する。

【0057】位相検出器124は、さらに、インバータIV1の出力信号の立下り（クロック信号ECLKの立上がり）にตอบสนองしてセットされ、ノードQ2またはQ5の電位レベルに応じてリセットされるフリップフロップFF1と、フリップフロップFF1の出力ノードQ1の出力信号に従ってセットされかつノードQ5の電位に応じてリセットされるフリップフロップFF2を含む。フリップフロップFF1は、交差結合されるNAND回路NA1およびNA2を含む。NAND回路NA1は、インバータIV1の出力信号とNAND回路NA2の出力信号とを受ける。NAND回路NA2は、NAND回路NA1の出力信号とノードQ5上の信号（リセット信号）とノードQ2上の信号とを受ける。NAND回路NA2から、2段の縦列接続されるインバータ回路IV3およびIV4を介して制御電圧／UPが出力される。

【0058】フリップフロップFF2は、交差結合されるNAND回路NA3およびNA4を含む。NAND回路NA3は、ノードQ1の信号とNAND回路NA4の出力信号とを受ける。NAND回路NA4は、NAND回路NA3の出力信号（ノードQ2上の信号）とノードQ5上の信号とを受ける。

【0059】位相検出器124は、さらに、インバータ回路IV2の出力信号の立下りにตอบสนองしてセットされかつノードQ4またはノードQ5上の信号電位に応じてリセットされるフリップフロップFF3と、ノードQ3上の信号に応じてセットされ、かつノードQ5上の信号に応じてリセットされるフリップフロップFF4を含む。フリップフロップFF3は、交差結合されるNAND回路NA6およびNA7で構成され、フリップフロップFF4は、交差結合されたNAND回路NA8およびNA9で構成される。NAND回路NA6は、インバータ回路IV2の出力信号とNAND回路NA7の出力信号とを受ける。NAND回路NA7は、ノードQ4上の信号とノードQ5上の信号とNAND回路NA6の出力信号とを受ける。NAND回路NA7からインバータ回路IV5を介して制御電圧DOWNが出力される。NAND回路NA8は、ノードQ3上の信号とNAND回路NA9の出力信号とを受ける。NAND回路NA9

は、NAND回路NA8の出力信号とノードQ5上の信号とを受ける。

【0060】位相検出器124は、さらに、ノードQ1、Q2、Q3およびQ4上の信号を受け、受けた信号がすべてHレベルのときにノードQ5にLレベルのリセット信号を出力するNAND回路NA5を含む。ノードQ1は、クロック信号ECLKがHレベルに立上ると、Hレベルに立上がる。クロック信号RCLKがHレベルに立上ると、フリップフロップFF3がセットされてノードQ3の電位もHレベルに立上がる。フリップフロップFF2およびFF4は、それぞれノードQ5の出力信号に従ってリセットされ、ノードQ2およびQ4は初期状態ではHレベルにある。したがって、このNAND回路NA5は、比較対象となるクロック信号ECLKおよびRCLKの立上がりとともに与えられるリセット信号をノードQ5上に出力し、制御電圧／UPおよびDOWNをリセットする。

【0061】この位相検出器124の動作については後に詳細に説明するが、クロック信号ECLKに対してはフリップフロップFF1およびFF2が設けられ、クロック信号RCLKに対してはフリップフロップFF3およびFF4が設けられる。フリップフロップFF1およびFF2の接続態様と、フリップフロップFF3およびFF4の接続態様は同じである。したがって、クロック信号ECLKの位相がクロック信号RCLKの位相よりも進んでいる場合には、フリップフロップFF1が先にセットされて、制御電圧／UPが活性状態とされる。逆に、クロック信号RCLKの位相がクロック信号ECLKの位相よりも進んでいる場合には、フリップフロップFF3が先にセットされ、制御電圧DOWNが活性状態とされる。この制御電圧／UPおよびDOWNは、活性期間が位相差に対応するデジタル信号である。チャージポンプ126により、このデジタル制御電圧／UPおよびDOWNの活性期間に応じて、クロック信号ECLKおよびRCLKの位相差に応じた電流の充放電を行なう。

【0062】チャージポンプ126は、電源ノードVccと出力ノードQ6の間に直列に接続される電流源IS1およびpチャネルMOSトランジスタPQと、出力ノードQ6と接地ノードVssの間に直列に接続されるnチャネルMOSトランジスタNQおよび電流源IS2を含む。pチャネルMOSトランジスタPQはそのゲートに制御電圧／UPを受け、nチャネルMOSトランジスタNQは、そのゲートに制御電圧DOWNを受ける。制御電圧／UPおよびDOWNが活性状態とされる期間が、クロック信号ECLKおよびRCLKの位相差に応じており、MOSトランジスタPQおよびNQのオン状態となる期間も、その位相差に応じて定められる。したがってノードQ6では、クロック信号ECLKおよびRCLKの位相差に応じた電流の充放電が行なわれる。こ

のチャージポンプ126からの電流情報を、ループフィルタ128により電圧情報に変換して制御電圧VCOINを生成し、電圧制御ディレイ素子130の動作電流を決定する。

【0063】ループフィルタ128は、ノードQ6と接地ノードVssの間に直列に接続される抵抗素子Raおよび容量素子Caを含む。このループフィルタ128は、抵抗素子Raおよび容量素子Caで時定数が決定されるローパスフィルタまたは平滑回路である。チャージポンプ126からの充放電電流を容量素子Caに蓄えることにより、このチャージポンプ126からの電流情報を電圧情報に変換する。次に、位相検出器124の動作について図4(A)および(B)を参照して説明する。

【0064】図4(A)は、クロック信号ECLKの位相がクロック信号RCLKよりも進んでいる場合の動作を示すタイミングチャート図である。時刻t0以前のリセット状態においては、インバータIV1の出力信号がHレベルであり、NAND回路NA2の出力信号がHレベルであり、ノードQ1が、Lレベルにある。ノードQ2は、リセットされており、ノードQ1の電位レベルがLレベルであり、Hレベルにある。同様、ノードQ3の電位レベルがLレベル、ノードQ4の電位レベルがHレベルにある。この状態においては、制御電圧/UPおよび/DOWNはともにHレベルにある。

【0065】時刻t0において、クロック信号ECLKがHレベルに立上ると、フリップフロップFF1がセットされ、ノードQ1の電位レベルがHレベルに立上る。ノードQ1の電位レベルがHレベルに立上ると、NAND回路NA2の入力信号がすべてHレベルとなり、制御電圧/UPがLレベルに立下る。これにより、チャージポンプ126において、pチャネルMOSトランジスタPQがオン状態となり、出力ノードQ6へ電流源IS1からの電流を供給し、ループフィルタ128の容量素子Caの充電電位を上昇させる。

【0066】時刻t1においてクロック信号RCLKがHレベルに立上ると、フリップフロップFF3がセットされ、ノードQ3の電位がHレベルに立上る。このノードQ3の電位のHレベルへの立上りに応答して、NAND回路NA7の出力信号/DOWNがLレベルに立下り、制御電圧DOWNがHレベルに立上る。これにより、チャージポンプ126において、nチャネルMOSトランジスタNQが導通し、電流源IS1からの電流が、MOSトランジスタPQおよびNQを介して電流源IS2へ流れ、ループフィルタ128の容量素子Caの充電動作が停止する。ノードQ3の電位レベルがHレベルに立上ると、ノードQ1、Q2、Q3およびQ4の電位レベルがすべてHレベルとなり、NAND回路NA5からノードQ5へ出力される信号の電位がLレベルに立下る。このノードQ5の電位レベルの立下りに応答して、フリップフロップFF1、FF2、FF3

およびFF4がすべてリセットされ、このノードQ5の電位降下に対するNAND回路および/またはインバータ回路の遅延時間をもって、制御電圧/UPがHレベル、制御信号/DOWNがHレベルに立上がり、ノードQ2がLレベルに立下る。

【0067】時刻t2において、クロック信号ECLKがLレベルに立下ると、インバータ回路IV1の出力信号がHレベルとなり、NAND回路NA1からノードQ1へ出力される信号がLレベルに立下る。このノードQ1の電位レベルがLレベルに立下ると、フリップフロップFF2がセットされ、ノードQ2の電位がHレベルに立上る。ノードQ4の電位がノードQ5の電位レベルの低下に応答してLレベルに立下ると、ノードQ5の電位レベルは、再びHレベルに保持される。

【0068】次に、時刻t3において、クロック信号RCLKがLレベルに立下ると、インバータ回路IV2の出力信号がHレベルとなり、NAND回路からノードQ3へ出力される信号がLレベルに立下り（信号/DOWNがHレベルにある）、応じてフリップフロップFF4がセットされ、ノードQ4の電位レベルがHレベルに立上る。この時刻t0～t3の一連の動作により、クロック信号ECLKおよびRCLKの位相差に応じた制御電圧VCOINの調整を完了する。

【0069】時刻t4において、再びクロック信号ECLKがHレベルに立上ると、フリップフロップFF1がセットされ、ノードQ1の電位レベルがHレベルに立上る。このノードQ1の電位レベルの立上りに応答して、制御電圧/UPがHレベルに立上る。クロック信号RCLKはLレベルにあるため、フリップフロップFF3およびFF4の状態は変化せず、またノードQ5の電位レベルもHレベルにある。

【0070】時刻t5以前において、クロック信号ECLKがLレベルに立下っても、クロック信号RCLKはLレベルにあり、フリップフロップFF3およびFF4の状態は変化していないため、内部ノードQ1～Q4の信号電位レベルは変化しない。

【0071】時刻t5において、クロック信号RCLKがHレベルに立上ると、フリップフロップFF3がセットされ、ノードQ3の電位がHレベルに立上る。このノードQ3の電位の立上りに応答して、NAND回路NA5がLレベルの信号をノードQ5へ出力し、フリップフロップFF1～FF3がリセットされる。それにより、制御電圧/UPがHレベルに立上がり、また制御電圧/DOWNがLレベルに立下る。ノードQ5上のリセット信号（Lレベルの信号）に従って、ノードQ1の電位がLレベルに立下ると、ノードQ5上のLレベルの信号によりリセットされていたノードQ2のLレベル電位が、Hレベルに立上る。このノードQ5上のリセット信号により、ノードQ4の電位レベルがLレベルに立下ると、このノードQ5上の電位レベルが再びH

レベルに立上る。これにより、時刻 t_4 から時刻 t_5 の間のクロック信号ECLKおよびRCLKの位相差に応じた充電動作が完了する。

【0072】時刻 t_6 において、クロック信号ECLKがHレベルに立上ると、フリップフロップFF1がセットされ、ノードQ1の電位レベルがHレベルに立上り、再び制御電圧/UPがLレベルに立下がる。

【0073】時刻 t_7 において、クロック信号RCLKがLレベルに立下ると、フリップフロップFF3およびFF4がリセットされ、ノードQ4の電位がHレベル、ノードQ3の電位がLレベルとなる。ノードQ3の電位がLレベルに立下がるため、ノードQ5の電位はHレベルを維持し、リセット信号は発生されない。以降、この状態が、次にクロック信号RCLKが立上るまで維持される。

【0074】上述のように、クロック信号ECLKがクロック信号RCLKよりも位相が進んでいる場合には、その位相差に応じた時間制御電圧/UPが活性状態(Lレベル)とされ、チャージポンプ126がその位相差に応じた電流を供給し、ループフィルタ128により、このチャージポンプ126からの充電電流を電圧情報に変換する。したがって、その位相差に応じて制御電圧VCOINの電圧レベルが調整される。

【0075】図4(B)は、クロック信号RCLKの位相がクロック信号ECLKの位相よりも進んでいる場合の動作を示す波形図である。図3に示すように、フリップフロップFF1およびFF2の接続態様と、フリップフロップFF3およびFF4の接続態様は同じである。したがって、クロック信号RCLKの位相がクロック信号ECLKの位相よりも進んでいる場合には、制御信号/DOWNがその位相差に応じた時間活性状態とされる。クロック信号RCLKおよびECLKがともにHレベルとなると、リセット信号が発生され、制御電圧/UPが所定期間Lレベルの活性状態とされ、チャージポンプ126からの放電動作を停止させる。

【0076】このクロック信号RCLKの位相がクロック信号ECLKの位相よりも進んでいる場合には、制御電圧DOWNがHレベルとなり、チャージポンプ126のnチャンネルMOSトランジスタNQがオン状態となり、出力ノードQ6から電流源IS2が駆動する電流だけ放電し、ループフィルタ128の容量素子Caの充電電位を低下させる。それにより、制御電圧VCOINが電圧レベルが低下し、電圧制御ディレイ素子130の動作電流を低減し、応じて動作速度を低下させて、クロック信号RCLKの位相を遅らせる。この図4(B)に示す波形図は、図4(A)に示す波形図において、クロック信号RCLKおよびECLKを入換え、制御電圧/UPおよび/DOWNを入換え、またノードQ3およびQ4をそれぞれノードQ1およびQ2と入換えることにより得られる。したがってその詳細説明は省略する。

【0077】なお、図3においては、位相検出器124にはデジタル位相検出器が用いられ、チャージポンプ126およびループフィルタ128は、アナログ回路で構成されている。しかしながら、これらの回路はすべてデジタル回路から構成されてもよく、いわゆるデジタル・ディレイド・ロックドループ(DDL)が用いられてもよい。また、位相検出器124の構成は、NAND型フリップフロップを用いる構成でなく、別のたとえば一致検出回路を用いる構成が利用されてもよい。クロック信号ECLKおよびRCLKの位相差に応じた制御電圧/UPおよびDOWNを発生する構成であればよい。

【0078】また、電圧制御ディレイ素子において、クロック信号ECLKおよびRCLKの位相が一致した場合(ロックした状態のとき)、ノードQ1~Q3がすべて同時にHレベルとなり、ノードQ5の電位レベルがLレベルとされ、フリップフロップFF1~FF4がリセットされる。したがってこの状態において、制御電圧/UPおよび/DOWNはともにHレベルを維持し、チャージポンプ126においては、電流の充放電は行なわれず、制御電圧VCOINはその電圧レベルを保持する。これにより、安定に外部クロック信号にロックした(位相同期した)内部クロック信号RCLK(またはintCLK)を生成することができる。

【0079】[変更例]図5は、この発明の実施の形態1に従う内部クロック発生回路の変更例の構成を示す図である。図5に示す内部クロック発生回路においては、電圧制御ディレイ素子130の出力部と内部クロック信号RCLK(またはintCLK)を生成するクロックバッファ122の間に、モード切換信号φMODに従ってその遅延時間が設定される可変遅延回路1が配置される。他の構成は、図1に示す構成と同じであり、対応する部分には同一の参照番号を付す。クロックバッファ120からのクロック信号ECLKが電圧制御ディレイ素子130へ直接与えられる。この電圧制御ディレイ素子130は、ループフィルタ128からの制御電圧VCOINに従って制御電圧VINPおよびVINNを生成するカレントミラー回路130aおよびこのカレントミラー回路130aからの電圧VINPおよびVINNに従ってその動作電流が調整される複数のインバータIV1~IVnの列を含む遅延回路130bを含む。この遅延回路130bは、カレントミラー回路130aからの制御電圧VINPおよびVINNに従った遅延時間をもって動作し、クロック信号ECLKの位相を調整する。可変遅延回路1が、電圧制御ディレイ素子130の出力信号に対しモード切換信号φMODにより設定された遅延時間を与える。したがって、可変遅延回路1が、電圧制御ディレイ素子130の出力部に設けられていても、等価的に、電圧制御ディレイ素子130の遅延にオフセットが与えられるため、同様この内部クロック発生回路がロックすることのできるクロック信号の動作周波数領域

を調整することができる。

【0080】以上のように、この発明の実施の形態1に従えば、電圧制御ディレイ素子に対し、モード切換信号に従って遅延時間のオフセットを与えるように構成したため、内部クロック発生回路がロックすることのできるクロック信号の周波数をこのモード切換信号により調整することができ、ロックすることのできるクロック信号の周波数領域を広くすることができ、内部クロック発生回路の動作周波数領域を広くすることができる。

【0081】【実施の形態2】図6は、SDRAMのデータ読出部の構成を概略的に示す図である。図6においては、メモリセルアレイ108、列選択回路に含まれる列選択ゲート114a、および入出力回路116の構成を概略的に示す。

【0082】メモリセルアレイ108においては、メモリセル108aが行および列のマトリクス状に配列され、各メモリセル行に対応してワード線WLが配設され、メモリセル列それぞれに対応してビット線対が配置される。図6においては、1つのワード線WLおよび1つのビット線BLを代表的に示す。メモリセル108aは、情報を電荷の形態で格納するメモリセルキャパシタMCと、ワード線WL上の信号電位にตอบสนองしてメモリセルキャパシタMCをビット線BLに接続するnチャネルMOSTランジスタで構成されるアクセストラランジスタMTを含む。ビット線対それぞれに対応して、センスアンプ(SA)108bが配置される。このセンスアンプ(SA)108bは、活性化時対応のビット線対の電位を差動的に増幅する。

【0083】列選択回路114に含まれる列選択ゲート114aは、メモリセルアレイ108の各ビット線対(メモリセル列)に対応して設けられ、図示しない列デコーダからの列選択信号CYに従ってアドレス指定された列に対応するビット線対を入出力回路116に接続する。

【0084】入出力回路116は、この列選択ゲート114aを介して伝達された選択メモリセルのデータを増幅するブリアンプ(PA)116aと、内部クロック信号に従ってブリアンプ(PA)116aにより増幅されたデータを順次出力する出力回路116bを含む。このブリアンプ(PA)116aから出力回路116bに至る部分の構成については、任意の構成を利用することができる。2ビットのメモリセルデータを同時に選択して増幅して順次内部クロック信号に同期して伝達する「2ビットプリフェッチ方式」の構成が用いられてもよい。また、出力回路116bにおいては、データ読出時内部クロック信号にตอบสนองして順次このブリアンプ(PA)116aにより増幅されたデータをバイブライン態様で転送する構成が用いられてもよい。出力回路116bに含まれる最終段の出力バッファから内部クロック信号に同期してデータ入出力端子D/Qへデータが出力される。

【0085】図7は、図6に示すSDRAMのデータ読出時の動作を概略的に示す波形図である。アクティブコマンドが与えられると、そのとき同時に与えられた行アドレス信号に従って行選択動作が開始され、この行アドレス信号により指定された行に対応するワード線WLの電位がHレベルに立上がる。この選択ワード線WLに接続されるメモリの記憶データが対応のビット線BLまたは補のビット線BLに読出され、センスアンプ(SA)108bにより検知、増幅およびラッチされる。

【0086】次いで、データ読出を指示するリードコマンドが与えられると、そのときに与えられた列アドレス信号に従って列選択動作が行なわれる。このリードコマンドに従って、列選択信号CYが選択状態とされ、メモリセルアレイ108の対応のメモリセルのデータが入出力回路116へ与えられる。この入出力回路116においては、ブリアンプ(PA)116aによりメモリセルデータが増幅された後、出力回路116bを介してデータが出力される。アクティブコマンドおよびリードコマンドは、SDRAMにおいては、外部クロック信号extCLKの立上がり同期して与えられる。リードコマンドが与えられてから有効データが出力されるまでのクロックサイクルの数はCASレイテンシーで示される。このCASレイテンシーは、図6に示すデータ読出部において列選択動作を行ってからメモリセルデータを入出力回路116を介してデータ入出力端子D/Qに出力するまでに必要とされる時間である。このCASレイテンシーは、標準のDRAMのCASアクセスタイムに相当する。図7においては、外部クロック信号extCLK(A)の場合にはCASレイテンシーは3に設定される。

【0087】たとえば100MHzのクロック信号に従って動作することのできるSDRAMにおいては、CASレイテンシーが3クロックサイクルの場合には、100MHzの周波数で動作可能である。また、CASレイテンシーが2クロックサイクルのときは、66MHzまで動作可能であることを、装置として保証することが要求される。100MHzで動作可能なSDRAMのアクセスタイムがたとえば30nsとすると、1クロックサイクルが10nsの100MHzの外部クロック信号を用いる場合、CASレイテンシーは3クロック、一方クロックサイクルが15nsの66MHzの外部クロック信号の場合には、CASレイテンシーは2クロックとなる。したがって、CASレイテンシーが3クロックに設定された場合には、このSDRAMは、100MHzまでの動作周波数で動作することが要求されるが、CASレイテンシーが2クロックに設定されたSDRAMは、最大66MHzの動作周波数で動作することが要求されるだけである。この要求は、SDRAM内部に搭載される内部クロック発生回路に対しても同じである。したがって、CASレイテンシーが2クロックサイクルに設定

された場合には、CASレイテンシーが3クロックサイクルに設定されたときに比べて、内部クロック発生回路は高速で動作する必要はなく、その動作周波数領域は低く設定することができる。

【0088】したがって、このCASレイテンシー情報を先の実施の形態1において示したモード切換信号φMODとして利用することにより、SDRAMに要求される内部クロック発生回路の動作周波数領域を正確に設定することができる。

【0089】図8は、モード切換信号発生部の構成を概略的に示す図である。図8において、モード切換信号発生部は、図示しない入力バッファからの内部制御信号および特定のアドレス信号ビットAdを受け、内部クロック信号intCLK(RCLK)に同期してその状態を判定し、該判定結果を示す信号を出力するコマンドデコーダ104と、コマンドデコーダ104からのリード動作トリガ信号φrに従って入出力回路116および列選択回路114を制御してデータ読出に必要な制御を行なう読出制御回路150と、コマンドデコーダ104からのモードレジスタセットトリガ信号φSCにตอบสนองして、モードレジスタ152に対するデータ書込/読出動作を制御するレジスタ制御回路154を含む。

【0090】このモードレジスタ152は、レジスタ制御回路154の制御の下に、アドレス入力端子ADDに与えられた信号をモード指定情報として格納する。このモードレジスタ152に格納されたデータ、すなわちバースト長データ、CASレイテンシーデータおよび列アドレス変化シーケンス情報が読出制御回路150へ与えられる。このモードレジスタ152からのCASレイテンシーデータをモード切換信号φMODとして利用す

る。

【0091】図9は、この図8に示すモード切換信号発生部の動作を示すタイミングチャート図である。以下、この図9に示すタイミングチャート図を参照して、モードレジスタへのデータセット動作について説明する。ここで、図9においては、SDRAMが2つのバンクを含み、バンクがバンクアドレスビットBAにより指定される。また、行アドレス信号はビットA0-A10の11ビットアドレス信号であり、列アドレス信号は、ビットA0-A9の10ビットアドレスである。アドレスビットA10が不要のとき、これをコマンドの一部として利用する。

【0092】SDRAMにおいて、いずれかのバンクが選択状態(活性状態)の場合には、プリチャージコマンドを与えてその活性状態のバンクをプリチャージ状態に復帰させる。プリチャージコマンドは、図9のクロックサイクル# aにおいて示すように、外部クロック信号extCLKの立上がりエッジにおいて、ロウアドレスストロブ信号/RASおよびライトイネーブル信号/WEをLレベルに設定し、コラムアドレスストロブ信号

/CASをHレベルに設定しかつアドレスビットA10をHレベルに設定する。バンクアドレスビットBAは、選択状態のバンクを指定する。プリチャージコマンドに従って、コマンドデコーダ104の制御の下に、選択状態とされたバンクがプリチャージ状態へ駆動される。

【0093】いわゆるRASプリチャージ時間が経過し、SDRAM内部がプリチャージ状態に復帰すると、クロックサイクル# bにおいてレジスタセットコマンドが与えられる。レジスタセットコマンドは、このクロックサイクル# bの外部クロック信号extCLKの立上がりエッジにおいて、外部制御信号/RAS、/CASおよび/WEをすべてLレベルに設定しかつアドレスビットA10およびバンクアドレスビットBAをLレベルに設定する。レジスタセットコマンドが指定されると、コマンドデコーダ104からのレジスタセットトリガ信号φSCが活性状態とされ、レジスタ制御回路154が動作して、モードレジスタ152をアドレス入力端子ADDに接続する。このアドレス入力端子ADDのうちアドレスビットA0-A9に対応する入出力端子がモードレジスタ152内に含まれるレジスタ回路に接続され、バースト長データおよびCASレイテンシーデータなどのSDRAMを動作させるのに必要とされるデータMODEが格納される。

【0094】このモードレジスタ152へ必要なデータが格納されると、クロックサイクル# cにおいてアクティブコマンドが与えられ、アドレスビットA0-A10が行アドレス信号として取込まれ、バンクアドレスビットBAにより指定されたバンクに対する行選択動作が開始される。アクティブコマンドが与えられてから、いわゆる「RAS-CAS遅延時間tRCD」が経過したクロックサイクル# dにおいてリードコマンドが与えられる。このリードコマンドが与えられると、アドレスビットA0-A9が列アドレス信号として取込まれ、列選択動作が行なわれる。CASレイテンシーが3の場合には、クロックサイクル# eから確定データ(Q)がクロック信号extCLKの立上がりと共に同期して順次出力される。

【0095】このモードレジスタ152に格納されたCASレイテンシーデータをモード切換信号φMODとして利用することにより、余分の回路を設けることなく、内部クロック発生回路に対するモード切換信号を発生することができる。通常、モードレジスタ152に対する必要なデータの格納は、SDRAMの初期設定シーケンスにおいて行なわれる。このモード切換信号φMODは、CASレイテンシーが大きくなると、遅延時間を短くする。したがって、たとえば先の図1の構成において、CASレイテンシーが3クロックの場合には、クロックバッファ120からのクロック信号ECLKが選択回路1cにより選択されて電圧制御ディレイ素子130へ与えられる。CASレイテンシーが2の場合には、デ

イレイ素子1aまたは1bの出力信号を選択して電圧制御ディレイ素子130へ与える。CASレイテンシーは、1クロックサイクル、2クロックサイクル、3クロックサイクル、4クロックサイクルと種々存在するため、実現可能なCASレイテンシーとそれぞれに対して用いられる外部クロック信号の動作クロック周波数に合わせて適当に遅延時間が選択されればよい。

【0096】たとえば、電圧制御ディレイ素子130の遅延時間の範囲が10nsないし50sであり、モード切替信号により加えられる遅延時間の範囲が5nsから25nsであるとする。この場合、モード切替信号により遅延時間を追加すれば、内部クロック発生回路のロック可能な動作周波数が10nsないし50nsの範囲であったなら、これを15nsないし75nsの遅延時間の範囲(66MHzないし22MHz)に変更することができる(電圧制御遅延素子の出力信号は、クロック信号ECLKの最大1クロックサイクル遅延させることができればよいためである)。

【0097】なお、このモード設定信号のためのデータはCASレイテンシーデータでなく、専用のデータであ

ってもよい。

【0098】以上のように、この発明の実施の形態2に従えば、内部クロック発生回路の動作周波数領域を設定するためのモード切替信号を、CASレイテンシーデータを用いて生成しているため、このモード切替信号を発生するための余分の回路が不要となり、回路占有面積を低減することができる。

【0099】[実施の形態3]図10は、この発明の実施の形態3に従う可変遅延回路1の構成を示す図である。図10において、可変遅延回路1は、互いに異なる基準電圧Vref1、Vref2およびVref3を、デコーダ153からのモード切替信号φMODに従って選択して制御電圧として出力するセクタ1eと、このセクタ1eからの制御電圧VCに従ってその遅延時間が調整される電圧制御遅延回路1dを含む。電圧制御遅延回路1dは、電圧制御ディレイ素子130と同様の構成を備え、この制御電圧VCに従ってクロック信号ECLKを遅延して電圧制御ディレイ素子130へ遅延クロック信号ECLKDを与える。デコーダ153は、モードレジスタ152に含まれるCASレイテンシーデータCLをデコードし、モード切替信号φMODを生成する。

【0100】この図10に示す可変遅延回路1の構成の場合、遅延時間を制御電圧VCに従って調整することができる。この制御電圧VCは、CASレイテンシーデータCLをデコードして得られるモード切替信号φMODに従って基準電圧Vref1、Vref2およびVref3から選択されて出力される。したがって、このCASレイテンシーに応じて正確に必要な遅延時間を設定することができる。

【0101】[変更例]図11は、この発明の実施の形態3に従う可変遅延回路の変更例の構成を示す図である。この図11に示す構成においては、モードレジスタ152からのCASレイテンシーデータCLをアナログ情報に変換するD/Aコンバータ157により制御電圧VCが生成される。可変遅延回路1は、このD/Aコンバータ157からの制御電圧VCに従って定められる遅延時間、クロック信号ECLKを遅延して遅延クロック信号ECLKDを生成する電圧制御遅延回路1fと、モードレジスタ152からのCASレイテンシーデータCLをデコードしデコーダ153からのモード切替信号φMODに従って電圧制御遅延回路1fの出力信号とクロック信号ECLKの一方を選択するスイッチ回路1gを含む。

【0102】D/Aコンバータ157は、通常のD/Aコンバータを用いることができ、たとえば電源ノードと出力ノードの間の並列に接続されるMOSTランジスタと出力ノードと接地ノードの間の抵抗素子で構成される回路を利用することができる。CASレイテンシーが大きくなれば、この並列MOSTランジスタのうちオン状態となるMOSTランジスタの数が増大する。それにより、制御電圧VCの電圧レベルを上昇させ、電圧制御遅延回路1fの遅延時間を短くする。モード切替信号φMODは、このクロック信号ECLKに対し遅延を与える必要がない場合には、スイッチ回路1gを制御してクロック信号ECLKを選択して電圧制御ディレイ素子130へ与える。このスイッチ回路1gは、また同様図10に示す可変遅延回路1において用いられてもよい。スイッチ回路1gが用いられない場合、電圧制御ディレイ素子130のインバータ列の段数が低減され、電圧制御遅延回路1dの与える遅延時間が追加され、等価的に遅延オフセットを0とする。

【0103】この図11に示す構成に従えば、D/Aコンバータを用いてCASレイテンシーデータCLをデコードして制御電圧VCを生成している。したがってこの電圧制御遅延回路1fの動作速度を決定するための基準電圧を生成する回路が不要となり、回路占有面積が低減される。

【0104】なおこの図11に示す構成において、モードレジスタ152の出力信号をデコードし、そのデコード結果がD/Aコンバータ157へ与えられるように構成されてもよい。モードレジスタ152に格納されるCASレイテンシーデータCLは、2進数でCASレイテンシーが設定される構成が示されるが、各CASレイテンシーに応じた1ビットのみが活性状態とされるようにCASレイテンシーデータが設定されてもよい。

【0105】以上のように、この発明の実施の形態3に従えば、可変遅延回路1において、電圧制御遅延回路を用いて遅延時間のオフセットをかけるように構成しているため、通常のインバータ列を用いて遅延素子を実現す

る構成に比べて、インバータの段数を低減して必要とされる遅延時間を実現することができ、回路占有面積を低減することができる。

【0106】[実施の形態4] 図12は、この発明の実施の形態4に従う内部クロック発生回路の全体の構成を概略的に示す図である。この図12に示す内部クロック発生回路の構成においては電圧制御ディレイ素子130の入力部へは、この電圧制御ディレイ素子130の出力信号をモード切換信号φMODに従って遅延する可変遅延回路10の出力信号が与えられる。すなわち、可変遅延回路10および電圧制御ディレイ素子130がループを構成する。他の構成は、先の実施の形態1ないし3のそれと同じであり、対応する部分には同一の参照番号を付す。この図12に示す内部クロック発生回路の構成は、いわゆるフェーズ・ロックド・ループ(PLL)である。位相検出器124は、クロック信号ECLKおよびRCLKの位相差を検出する。チャージポンプ126およびループフィルタ128により、この位相差に応じた制御電圧VCOINが電圧制御ディレイ素子130のカレントミラー回路130aへ与えられる。このカレントミラー回路130aからの制御電圧VINPおよびVINNに従って遅延制御クロック発生回路130bの動作速度が決定される。この回路130bの出力信号が可変遅延回路10を介して再び電圧制御ディレイ素子130へ与えられる。

【0107】したがって、DLLの構成と異なり、クロック信号ECLKとクロック信号RCLKの位相差に応じてこのクロック信号RCLKに相当する信号の位相が調整される。DLLの構成の場合に比べて、このPLLで構成される内部クロック発生回路の場合、クロック信号ECLKおよびRCLKの位相差に従って内部クロック信号RCLKの位相が調整されるだけであり、同じく、外部クロック信号に位相同期した内部クロック信号RCLK(またはintCLK)が得られる。可変遅延回路10は、先の実施の形態1ないし3に示す可変遅延回路1と同じ構成を備える。この可変遅延回路10の遅延時間を調整することにより、遅延制御クロック発生回路130bの与える遅延時間を等価的に調整することができ、このPLLの動作周波数領域(ロックすることのできる信号周波数領域)を調整することができる。

【0108】[変更例] 図13は、この発明の実施の形態4に従う内部クロック発生回路の変更例の構成を示す図である。この図13に示す内部クロック発生回路の構成においても、電圧制御ディレイ素子130と可変遅延回路10はループを構成する。しかしながら、図12に示す構成と異なり、可変遅延回路10からの出力信号がクロックバッファ122へ与えられる。すなわち位相検出器124は、この可変遅延回路10の出力信号に相当する内部クロック信号RCLKとクロック信号ECLKの位相差を検出して、電圧制御ディレイ素子130の遅

延時間を調整する。可変遅延回路10は、モード切換信号φMODに従ってその遅延時間が調整され、ある有意の遅延時間が与えられたときには、この電圧制御ディレイ素子130の遅延時間に対しオフセットを与える。したがって、先の図12に示す実施の形態と同様、電圧制御ディレイ素子130の遅延時間が、モード切換信号φMODに従って調整され、応じてこの内部クロック発生回路の動作周波数領域が調整される。これにより、広範囲のクロック信号周波数領域にわたって確実にロックした内部クロック信号を生成することができる。

【0109】以上のように、この発明の実施の形態4に従えば、PLLを用いて内部クロック発生回路を構成し、このPLLの構成要素である電圧制御ディレイ素子の遅延時間にモード切換信号に従ってオフセットをかけるように構成しているため、クロック信号の広範囲の周波数領域にわたって安定にロックした内部クロック信号を生成することができる。

【0110】[実施の形態5] 図14は、この発明の実施の形態5に従う内部クロック発生回路の構成を概略的に示す図である。図14においては、内部クロック信号RCLK(またはintCLK)を生成するクロックバッファ122の出力部にモード切換信号φMODBに従ってクロック信号ECLKおよびクロックバッファ122の出力信号RCLKの一方を選択して内部クロック信号intCLKを生成するセレクタ2が設けられる。可変遅延回路1においては、クロック信号ECLKとディレイ素子1aの出力信号とディレイ素子1bの出力信号のいずれかをモード切換信号φMODAに従って選択するセレクタ1cが設けられる。他の構成は、先の実施の形態1と同じであり、対応する部分には同一参照番号を付す。このモード切換信号φMODAおよびφMODBは、それぞれ先の実施の形態2において説明したように、ともに、CASレイテンシー情報に基づいて生成される。外部クロック信号extCLKの周波数が低い場合、電圧制御ディレイ素子130は、可変遅延回路1により、遅延時間にオフセットが与えられてその動作周波数領域が低くされても、十分この遅いクロック信号ECLKにロックすることができなくなる状態が生じる。制御電圧VCOINが十分低くされ、その電圧制御ディレイ素子130のインバータ列の電流源トランジスタのコンダクタンスが十分小さくされた場合、電流Idsが、 $\beta(V_{gs} - V_{th})^2$ に従って変化するため、少しの制御電圧VCOINの変化で動作電流Idsが大きく変化し、その電圧制御ディレイ素子130の動作が不安定となり、安定にロックすることができなくなり、動作周波数領域に下限が存在する(図2参照)。

【0111】このような状態のときには、セレクタ2により、モード切換信号φMODBに従って、クロックバッファ120からのクロック信号ECLKを選択して内部クロック信号intCLKとして出力する。これによ

り、クロック信号ECLK(外部クロック信号extCLK)の周波数が遅く、DLLで対応できない場合においても、クロック信号ECLKに位相同期した内部クロック信号を生成することができる。内部クロック信号intCLKは、クロック信号ECLKに等しく、その位相はほぼ同期しており、遅延は無視することができる

(低速クロックの場合、遅延量はクロックサイクルに比べて十分短い)。セクタ2において、クロック信号ECLKを選択する経路に比較的大きなバッファ回路が設けられていてもよい。内部クロック信号intCLKとしてクロック信号ECLKが選択されたとき、内部回路へ、波形歪のない内部クロック信号を与えることができる。

【0112】[変更例]図15は、この発明の実施の形態5に従う内部クロック発生回路の変更例の構成を示す図である。この図15に示す構成においては、図14に示す構成と同様、クロックバッファ122からのクロック信号RCLKとクロックバッファ120からのクロック信号ECLKの一方をモード切換信号MODBに従って選択するセクタ20が設けられる。セクタ20から、内部クロック信号intCLKが出力される。他の構成は、先の実施の形態4において図12に示す構成と同じであり、対応する部分には同一参照番号を付す。なお、この可変遅延回路10においては、クロック信号RCLKを遅延するディレイ素子10aと、ディレイ素子10aの出力信号を遅延するディレイ素子ディレイ素子10bと、モード切換信号φMODAに従ってクロック信号RCLK、ディレイ素子10aの出力信号およびディレイ素子10bの出力信号のいずれかを選択するセクタ10cが設けられる。この構成は、図14に示す可変遅延回路1の構成と同じである。可変遅延回路1、10は電圧制御遅延回路であってもよい(図10、11参照)。

【0113】この図15に示す構成においても、外部クロック信号extCLKの動作周波数がPLLの動作周波数よりも低い場合、モード切換信号φMODBにより、セクタ20によりクロック信号ECLKを選択して内部クロック信号intCLKとして出力する。可変遅延回路10による遅延時間のオフセットによっても対応することのできない低い周波数のクロック信号extCLKに対しても、位相同期した内部クロック信号intCLKを生成することができる。

【0114】なお、このモード切換信号φMODBは、CASレイテンシーデータを格納するモードレジスタに、外部クロック信号の動作周波数に合わせてデータが格納され、その格納データをモード切換信号φMODBとして用いてもよい。この場合には、CASレイテンシーデータとモード切換信号φMODB用のデータとが同じサイクルでセットされる。

【0115】CASレイテンシーデータに従ってモード

切換信号φMODA(またはφMOD)を決定する場合、このCASレイテンシーと外部クロック信号extCLKの周波数との間に存在する対応関係を予め前提として、この前提から外れる外部クロック信号の周波数を用いる場合、モード切換信号φMODBを用いてセクタ2または20の選択するクロック信号を切換える。それにより、容易に適用用途に応じてDLLまたはPLLが対応できないクロック周波数に対しても、位相同期した内部クロック信号を生成することができる。

10 【0116】以上のように、この発明の実施の形態5に従えば、内部クロック発生部に、PLLまたはDLLから発生されたクロック信号と外部クロック信号に対応するクロック信号との一方を選択するセクタを設けたため、DLLまたはPLLが対応することのできない低い動作周波数のクロック信号に対しても位相同期した内部クロック信号を生成することができ、動作周波数の広い内部クロック発生回路を生成することができる。

20 【0117】[適用例]上述の実施の形態1ないし5においては、内部クロック発生回路はSDRAMの内部クロック信号発生のために用いられている。しかしながら、この内部クロック発生回路は、たとえばシンクロナスSRAM(スタティック・ランダム・アクセス・メモリ)のように、外部クロック信号に同期して外部信号を取込む動作を行なう半導体記憶装置であれば適用することができる。

30 【0118】また半導体記憶装置に限らず、たとえば通信分野などにおいて、送信クロック信号に同期して内部クロック信号を生成してこの内部クロック信号に従ってデータのサンプリングを行なう装置においても、1つの内部クロック発生回路の構成で、複数の伝送速度の通信システムに適用することができる。この場合、モード切換信号は単に、ユーザがバッドのワイヤリングなどにより設定するように構成してもよい。

【0119】またこの発明は、一般に、クロック信号に限らず、第1の信号に位相同期した第2の信号を生成する回路、特にDLLおよびPLLを用いて信号を発生する回路に対し適用することができる。

【0120】

40 【発明の効果】以上のように、この発明に従えば、電圧制御ディレイ素子を用いて外部信号に位相同期した内部信号を発生する内部クロック発生回路において、この電圧制御ディレイ素子に対し、選択的に遅延時間をオフセットを与えるように構成したため、広い周波数領域にわたって確実にロックすることのできる内部クロック信号発生回路を実現することができる。

【0121】請求項1の発明に従えば、外部クロック信号と内部クロック信号との位相差に従って変更可能である遅延時間に従って動作して内部クロック信号に相当する信号を発生する遅延制御クロック発生手段と、モード設定信号に従ってこの遅延制御クロック発生手段の遅延

時間に対しオフセットを与えるように構成しているため、外部クロック信号の周波数の広い範囲にわたって確実にロックした内部クロック信号を生成することができる。

【0122】請求項2に係る発明に従えば、遅延制御クロック発生手段がその各々の動作電流が位相差に応じて調整される複数のインバータの列を含み、遅延オフセット手段がこの複数のインバータ列と直列に接続されてインバータ列の遅延時間に遅延時間を付加する可変遅延手段を含むように構成したので、確実に、必要とされる遅延時間を遅延制御クロック発生手段に対し与えることができる。

【0123】請求項3に係る発明に従えば、制御遅延クロック発生手段が、それぞれの動作電流が外部クロック信号と内部クロック信号の位相差に応じて調整される複数のインバータの列を含み、遅延オフセット手段が、この複数のインバータ列の最終段のインバータ出力をモード設定信号により設定された遅延時間遅延して複数のインバータ列が初段インバータへ与えるようにしたため、PLLループを用いた内部クロック発生信号を構成することができ、このPLLループの動作周波数領域を広い範囲に設定することができる。

【0124】請求項4に係る発明に従えば、遅延オフセット量は、この同期型半導体記憶装置に含まれるモードレジスタに設定されたデータを用いているため、余分の回路を用いることなく確実に遅延オフセット量を設定するための制御信号を生成することができる。

【0125】請求項5に係る発明に従えば、そのモードレジスタに格納されるデータが、有効データが出力されるCASレイテンシーを規定するデータであり、CASレイテンシー情報に従って定められた外部クロック信号の周波数領域に合せて内部クロック発生回路の動作周波数領域を容易に設定することができる。

【0126】また、CASレイテンシーデータは、同期型半導体記憶装置の使用前にユーザが設定するため、この同期型半導体記憶装置の適用用途に応じて確実に内部クロック発生回路の動作周波数領域をユーザにとってトランスペアレントに設定することができる。

【0127】請求項6に係る発明に従えば、外部クロック信号と遅延制御クロック発生手段からのクロック信号の一方をモード切換信号に従って選択して内部クロック信号として出力するセレクタをさらに設けているため、外部クロック信号の周波数が低く遅延オフセットの付加で対応することができない場合においても、確実に外部クロック信号に位相同期した内部クロック信号を生成することができ、動作周波数範囲の広い内部クロック発生回路を実現することができる。

【0128】請求項7に係る発明に従えば、第1および第2の信号の位相差に応じた電圧を発生しこの電圧により決定される遅延時間で動作して第2の信号に相当する

信号を発生する電圧制御遅延手段と、この動作領域設定信号にตอบสนองしてこの電圧制御遅延手段の遅延時間に対しオフセットを与えるように構成しているため、第1の信号の広い周波数領域にわたって確実に位相同期した第2の信号を生成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う内部クロック発生回路の全体の構成を概略的に示す図である。

【図2】 この発明に従う内部クロック発生回路の動作を説明するための図である。

【図3】 図1に示す位相検出器、チャージポンプおよびループフィルタの構成の一例を示す図である。

【図4】 図3に示す位相検出器の動作を示すタイミングチャート図である。

【図5】 この発明の実施の形態1に従う内部クロック発生回路の変更例の構成を示す図である。

【図6】 この発明に従う内部クロック発生回路を備える同期型半導体記憶装置のデータ読出部の構成を概略的に示す図である。

【図7】 図6に示す同期型半導体記憶装置のデータ読出時の動作を示すタイミングチャート図である。

【図8】 この発明の実施の形態2に従う内部クロック発生回路のモード切換信号発生部の構成を概略的に示す図である。

【図9】 図8に示すモードレジスタへのモードデータ設定動作を示すタイミングチャート図である。

【図10】 この発明の実施の形態3に従う内部クロック発生回路の可変遅延回路の構成を概略的に示す図である。

【図11】 この発明の実施の形態3に従う内部クロック発生回路の変更例の構成を示す図である。

【図12】 この発明の実施の形態4に従う内部クロック発生回路の構成を概略的に示す図である。

【図13】 この発明の実施の形態4に従う内部クロック発生回路の変更例の構成を示す図である。

【図14】 この発明の実施の形態5に従う内部クロック発生回路の全体の構成を概略的に示す図である。

【図15】 この発明の実施の形態5に従う内部クロック発生回路の変更例の構成を示す図である。

【図16】 従来の同期型半導体記憶装置のデータ読出および書込時の動作を示すタイミングチャート図である。

【図17】 従来の同期型半導体記憶装置の全体の構成を概略的に示す図である。

【図18】 図17に示す同期型半導体記憶装置の内部クロック信号と外部クロック信号とのタイミング関係を示す図である。

【図19】 従来の同期型半導体記憶装置における内部クロック発生回路の全体の構成を概略的に示す図である。

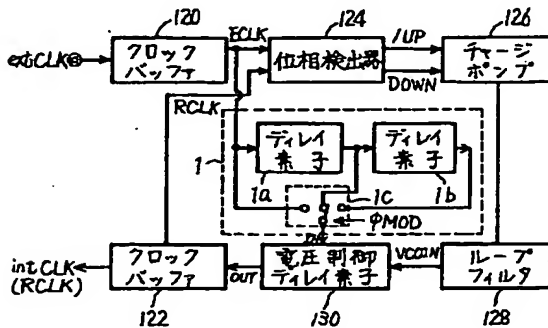
【図20】 図19に示す電圧制御ディレイ素子の構成の一例を示す図である。

【符号の説明】

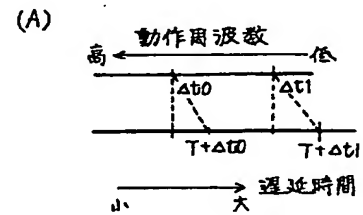
1 可変遅延回路、1a, 1b ディレイ素子、1c, 1e, 1g セレクタ、10 可変遅延回路、10a, 10b、ディレイ素子、10c セレクタ、20 セレクタ、120, 122 クロックバッファ

*ア、124 位相検出器、126 チャージポンプ、128 ループフィルタ、130 電圧制御ディレイ素子、1V1~1Vn インバータ、130a カレントミラー回路、130b 遅延回路、104 コマンドデコーダ、152 モードレジスタ、154 レジスタ制御回路、1d, 1f 電圧制御遅延回路。

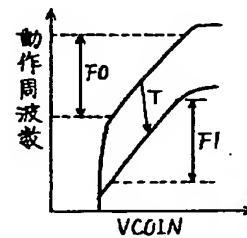
【図1】



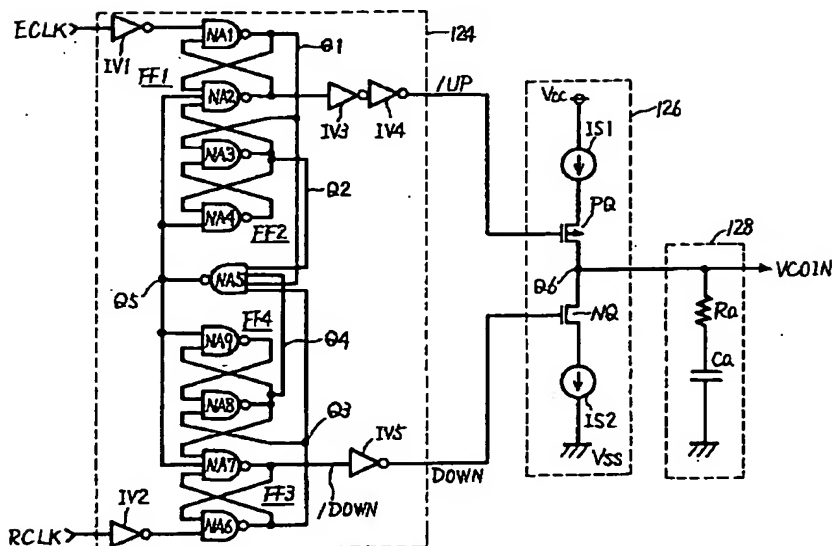
【図2】



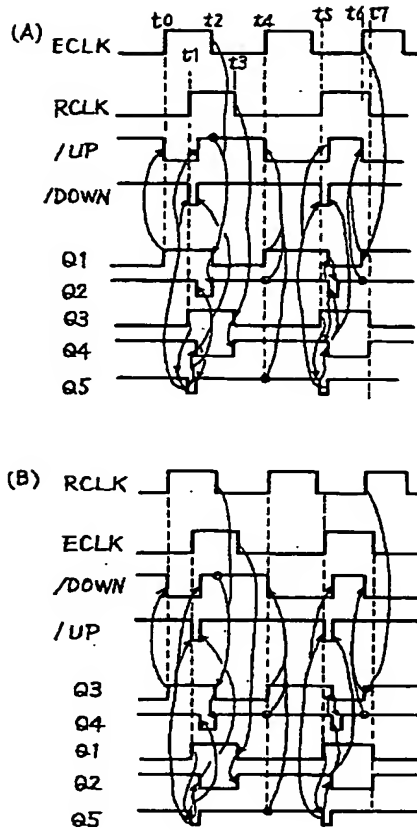
(B)



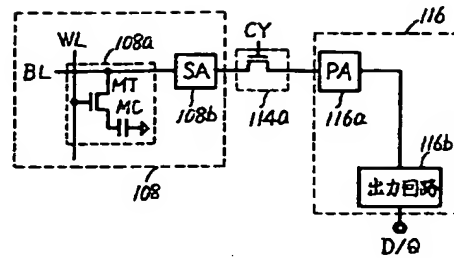
【図3】



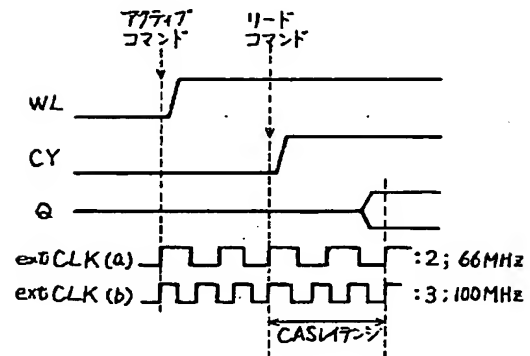
【図4】



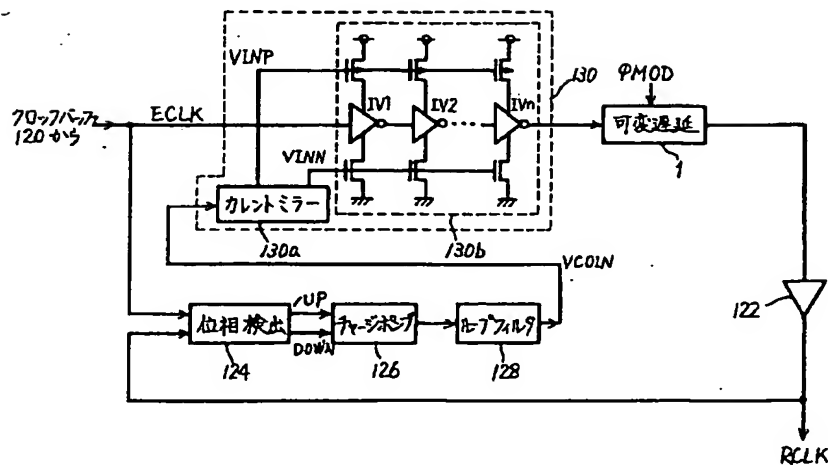
【図6】



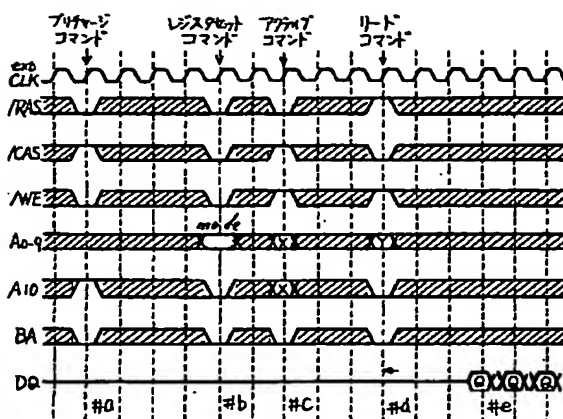
【図7】



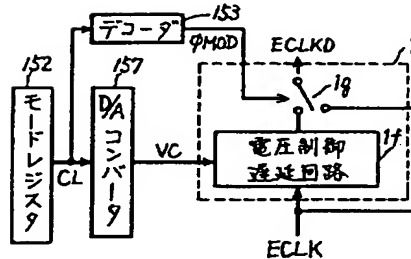
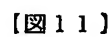
【図5】



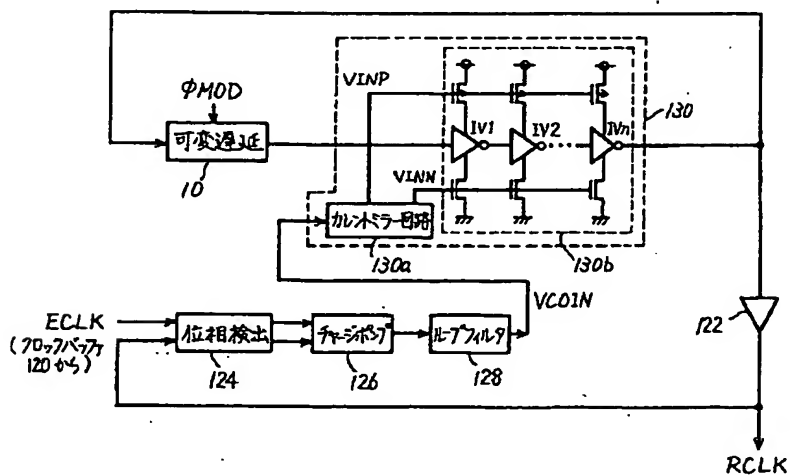
【圖9】



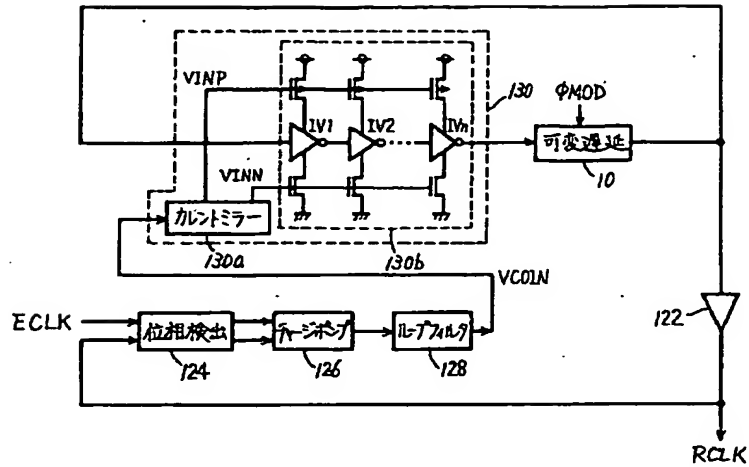
【圖 10】



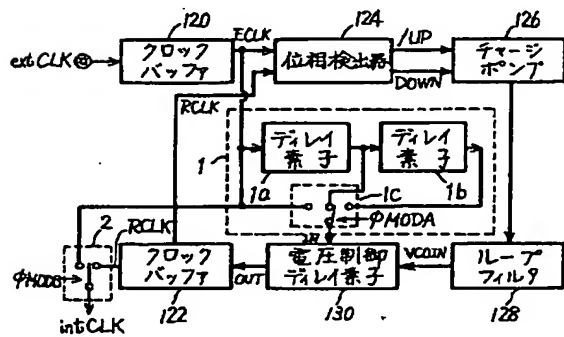
【圖 12】



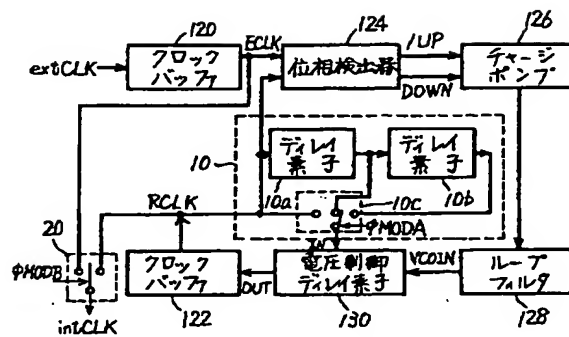
【図 13】



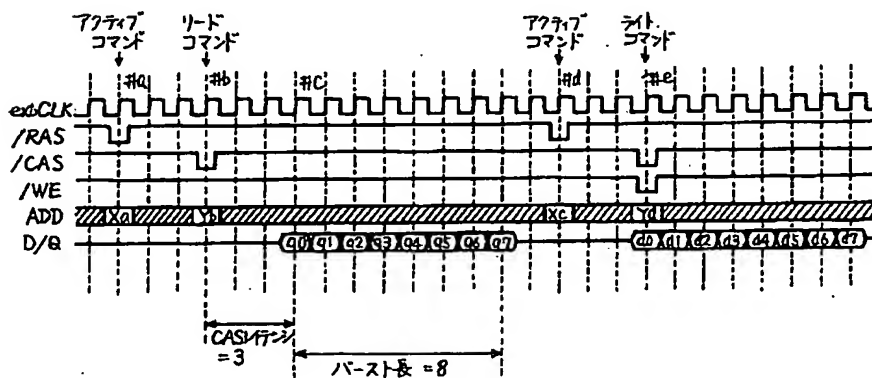
【図 14】



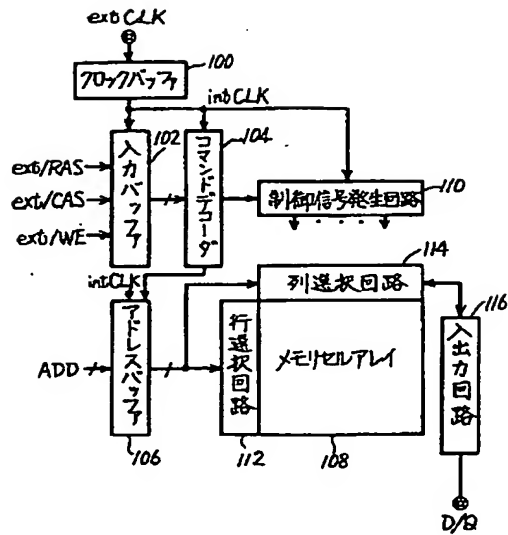
【図 15】



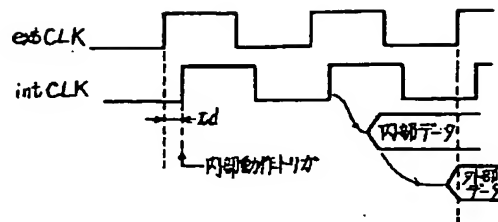
【図 16】



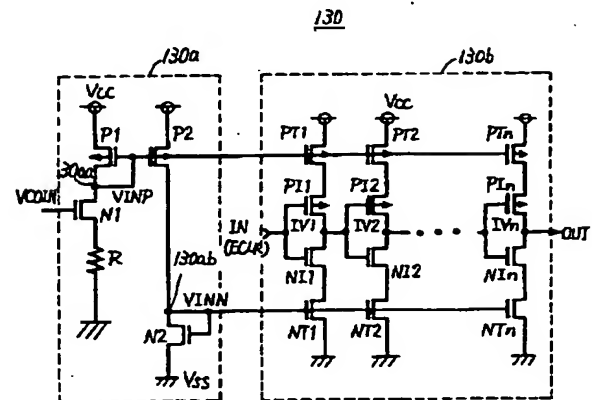
【図17】



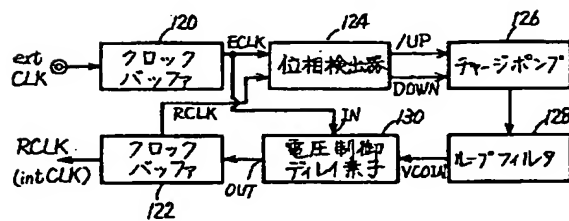
【図18】



【図20】



【図19】



フロントページの続き

(51)Int.Cl.⁶

識別記号

片内整理番号

F I

H 0 3 L 7/08

技術表示箇所

J

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-079663
 (43)Date of publication of application : 24.03.1998

(51)Int.Cl.

H03L 7/00
 G06F 1/12
 G11C 11/407
 H03K 5/135
 H03L 7/081

(21)Application number : 08-232937

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 03.09.1996

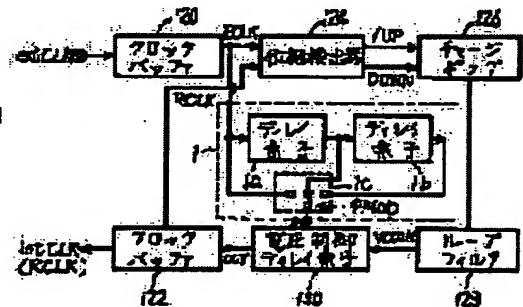
(72)Inventor : IWAMOTO HISASHI
 KONISHI YASUHIRO

(54) INTERNAL CLOCK GENERATING CIRCUIT AND SIGNAL GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an internal clock generating circuit with a wide operating frequency.

SOLUTION: This circuit is provided with a variable delay circuit 1 which provides a delay offset to a delay time of a voltage controlled delay element 13a selectively according to a mode switching signal with respect to a voltage controlled element 130 whose delay time is adjusted according to a phase difference between an external clock signal ECLK and an internal clock signal intCLK (RCLK) and generates a signal equivalent to the internal clock signal depending on the adjusted delay time. Thus, the operating speed of the voltage controlled delay element 130 is equivalently slow by the delay offset so as to shift the operating frequency band toward lower frequencies, and accordingly the operating frequency band of the internal clock generating circuit is widened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the synchronous semiconductor memory which operates from the outside synchronizing with the external clock signal given It is the internal clock generating circuit which generates the internal clock signal which synchronized with said external clock signal, and is given to an internal circuitry. A means to detect the phase contrast of said external clock signal and said internal clock signal, A delay control clock generation means to generate the signal which can change a time delay according to said phase contrast, operates according to said time delay, and is equivalent to said internal clock signal, And an internal clock generating circuit equipped with a delay offset means to give offset to said time delay according to a mode setting signal.

[Claim 2] Said delay control clock generation means includes the train of two or more inverters with which each operating current is adjusted according to said phase contrast. Connect with said inverter train and serial and said delay offset means includes an adjustable delay means to add the time delay set up according to said mode setting signal to the time delay of said inverter train. The internal clock generating circuit according to claim 1 where said external clock signal is impressed to the serial path of said adjustable delay means and an inverter train, and the output signal of said serial path is equivalent to said internal clock signal.

[Claim 3] Said delay control clock generation means includes the train of two or more inverters with which each operating current is adjusted according to said phase contrast. Said delay offset means It was set up by said mode setting signal, carry out time delay delay, and the output signal of the inverter of the last stage of two or more of said inverter trains is given to the input section of the inverter of the first rank of two or more of said inverter trains. The internal clock generating circuit according to claim 1 where the signal which is equivalent to said internal clock signal from said last stage inverter or a delay offset means is outputted.

[Claim 4] Said delay offset means is an internal clock generating circuit according to claim 1 to 3 where the amount of delay offset is set up by making into said mode setting signal the data stored in said mode register including the mode register which stores the data with which said synchronous semiconductor memory determines a mode of operation.

[Claim 5] The data which said synchronous semiconductor memory needs the number of cycles of said external clock signal specified by CAS latency after data read-out directions are given before an effective data is outputted, and are stored in said mode register are an internal clock generating circuit according to claim 4 which is data which specify said CAS latency.

[Claim 6] The internal clock generator according to claim 1 to 5 further equipped with a means to choose one side of said external clock signal and the clock signal from said delay control generating means according to said mode setting signal, and to output as said internal clock signal.

[Claim 7] It is the signal generating circuit which generates the signal which synchronized with said 1st signal from the 1st signal. A means to detect the phase contrast of said 1st signal and said 2nd signal, a means to generate the electrical potential difference according to said phase contrast, The signal generating circuit which has the time delay determined with said electrical potential difference, operates with said time delay, answers an armature-voltage control delay means to generate the signal equivalent to said 2nd signal, and an active region setting signal, and is equipped with a delay offset means to give offset to said time delay.

[Translation done.]

* NOTICES *

JPO and NCIPFI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the circuit for generating the internal clock signal as the 2nd signal which synchronized with this from the external clock signal as the 1st signal. Especially, this invention relates to the internal clock generating circuit which generates the internal clock signal which synchronized with this external clock signal in the synchronous semiconductor memory which operates synchronizing with an external clock signal, and is given to an internal circuitry.

[0002]

[Description of the Prior Art] As for the dynamic random access memory (DRAM) used as a primary storage, the working speed cannot follow in footsteps of the working speed of the microprocessor (MPU) it is [microprocessor] still an external processor although the working speed has been made quick. For this reason, the processing speed of a system receives a limit by the access time and the cycle time of DRAM, for this reason, the access time and the cycle time of DRAM serve as a bottleneck, and the problem that the system-wide engine performance falls arises. In order to solve such a problem, the clock synchronous type semiconductor memory (SDRAM) which operates as a primary storage for a high speed MPU synchronizing with a clock signal is proposed. In SDRAM, in order to realize rapid access, the specification (burst mode) which carries out rapid access to a 8-bit continuation bit in succession synchronizing with a system clock signal (one data input/output terminal) is proposed.

[0003] Drawing 16 is the timing-chart Fig. showing standard continuation access actuation of the conventional SDRAM. In drawing 16, I/O datas D/Q are 8 bit data, and read-out or the actuation written in is continuously shown for eight data (8 bytes of data; 64 bits).

[0004] In SDRAM, the actuation performed inside equipment with the combination of the condition of two or more external signals which can be set on the start edge of the external clock signal extCLK is specified. The external control signals used are a row address strobe signal / RAS, a column address strobe / CAS and a write enable signal / WE. The combination of the condition of two or more of these external control signals is usually called a "command." Train address signal Y which specifies the line address signal X and memory cell train for specifying a memory cell line is multiplexed in time sharing, and address signal ADD is given.

[0005] In clock cycle **a, in the start edge of the external clock signal extCLK, if a row address strobe signal / RAS is made into L level and both a column address strobe and / CAS [and], a write enable signal and / WE are made into H level, an active command will be given and activation actuation of a memory cell array, i.e., line selection actuation, will be performed in the interior of SDRAM. If this active command is given, address signal ADD at this time will be incorporated as a line address signal Xa, and line selection actuation will be performed according to this line address signal Xa.

[0006] Subsequently, in clock cycle **b, in the start edge of the external clock signal extCLK, if a column address strobe / CAS is set as L level and a row address strobe signal / RAS and a write enable signal / WE is set as H level, the lead command which shows data read-out will be given. According to the column address strobe / CAS of L level, address signal ADD then given is incorporated as train address signal Yb, and a memory cell train is chosen according to this train address signal Yb. If the number of clock cycles (setting to drawing 16 CAS latency is 3) called CAS latency passes after this lead command is given, in clock cycle **c, the first 1-byte data q0 will be outputted. Henceforth, synchronizing with the start of the external clock signal extCLK, the sequential output of data q1 and -q7 is carried out. Although a certain number of clock cycles will be needed by the time the first data are outputted, henceforth, data can be outputted according to the external clock signal extCLK, and data read-out of a high speed can be realized.

[0007] In the time of data write-in actuation, first, in clock cycle **d, an active command is given and line selection actuation is started within SDRAM according to an address signal Xc. Subsequently, in clock cycle **e, in the start edge of the external clock signal extCLK, a row address strobe signal / RAS is made into H level, and both a column address strobe and / CAS [and], a write enable signal and / WE are set as L level. Thereby, the light command which shows a data store is given. According to the column address strobe / CAS of L level, address signal ADD is incorporated as a train address signal Ya, and train selection actuation is started inside. When this light command is given, the data d0 given in clock cycle **e to which the light command was given are incorporated inside SDRAM. Henceforth, data d1-d7 are incorporated inside sequential equipment with the start edge of each external clock signal extCLK, and these incorporated write datas are written in a selection memory cell by the predetermined sequence.

[0008] The number of the data continuously accessed according to one access command (a lead command or light command) is called "burst length." It differs from the method which incorporates an address signal, input data, etc. synchronizing with the external control signal of the row address strobe signal / RAS, and the column address strobe / CAS in the usual DRAM, and performs an interior action. With the start edge of the external clock signal extCLK which is given from the outside in SDRAM and which is a system clock, for example, an external control signal / RAS, External signals, such as /CAS, /WE, address signal ADD, and write-data d, are incorporated, and an interior action is performed according to the command determined according to the condition of an external control signal (a specific address signal bit may be included).

[0009] the external clock signal extCLK — synchronizing — the signal/RAS from the outside, /CAS, and/- the following advantages are acquired by performing synchronous operation which incorporates WE, ADD, and a write data (input data). It is not necessary to secure the margin to the data I/O time by the skew (gap of timing) of the address signal to a control signal, and can shorten, the time amount, i.e., the cycle time, needed for one access. Moreover, by performing a store and read-out of continuation data synchronizing with clock signal extCLK, continuation access time will be determined one period of clock signal extCLK, and can accelerate the continuation access time of

SDRAM.

[0010] Drawing 17 is drawing showing the configuration of the conventional whole SDRAM roughly. The clock buffer 100 which SDRAM carries out buffer processing of the external clock signal extCLK, and generates the internal clock signal intCLK in drawing 17. The input buffer 102 which incorporates external control signal ext/RAS, ext/CAS, and ext/WE synchronizing with the internal clock signal intCLK from the clock buffer 100, and generates an internal control signal. The command decoder 104 which generates the trigger signal which judges the condition of the internal control signal given from an input buffer 102 synchronizing with the internal clock signal intCLK, and activates the specified interior action, Synchronizing with the address taking-in indication signal from a command decoder 104, and the internal clock signal intCLK, the address buffer 106 which generates the interior line address signal of incorporation and an internal train address signal for external address signal ADD is included.

[0011] An internal line address signal and an internal train address signal are generated from the line address signal which time-division multiplexing of the address buffer 106 is carried out according to the trigger signal from a command decoder 104 including a line address buffer and a train address buffer, a these line address buffer and train address case being alternatively used as an active state, and is given, and a train address signal.

[0012] The memory cell array 108 in which SDRAM has further two or more memory cells arranged in the shape of a matrix, The control signal generating circuit 110 which answers a trigger signal from a command decoder 104, and generates the internal control signal needed, The line selection circuitry 112 which answers a control signal from the control signal generating circuit 110, is activated, decodes the internal line address signal given from an address buffer 106, and drives the line of correspondence of the memory cell array 108 to a selection condition, The train selection circuitry 114 which chooses the train of the memory cell array 108 according to the internal train address signal which answers the internal control signal of the control signal generating circuit 110, is activated, and is given from an address buffer 106, The output signal of the control signal generating circuit 110 is answered, it drives, and the I/O circuit 116 which outputs and inputs data to the train chosen by the train selection circuitry 114 is included.

[0013] The control signal generating circuit 110 performs control of CAS latency and burst length synchronizing with the internal clock signal intCLK, and performs data input/output operation in the I/O circuit 116 synchronizing with this internal clock signal intCLK.

[0014] The line selection circuitry 112 includes the word line drive circuit which drives the line of correspondence of the memory cell array 108 to a selection condition according to the output signal of the decoding circuit which decodes the internal line address signal from an address buffer 106, and a decoding circuit. The train selection circuitry 114 includes the train decoder which generates the signal which chooses the train of the memory cell array 108 according to an internal train address signal, and IO gate which connects the selection train of the memory cell array 108 to the I/O circuit 116 according to the train selection signal which this train decoder outputs.

[0015] As shown in this drawing 17, the trigger of the interior action of SDRAM is performed by the internal clock signal intCLK. This internal clock signal intCLK is generated from the clock buffer 100, and synchronizes with the external clock signal extCLK. Therefore, the internal clock signal intCLK is answered and taking in of external (synchronizing with external clock signal extCLK) control signal ext/RAS, ext/CAS, ext/WE, address signal ADD, and input data D is performed. Moreover, it is carried out when it realizes when CAS latency counts this internal clock signal intCLK, and burst length's count also counts this internal clock signal intCLK.

[0016] As shown in drawing 18, in the clock buffer 100, buffer processing of the external clock signal extCLK is carried out, and a time delay t_d exists between the external clock signal extCLK and the internal clock signal intCLK. The trigger of the interior action is carried out by the start (fall) of this internal clock signal intCLK. In the I/O circuit 116, an in-house data is transmitted to the bottom of control of the control signal generating circuit 110 synchronizing with this internal clock signal intCLK. Therefore, when this time delay t_d is large, the initiation timing of an interior action becomes late and rapid access becomes impossible. When data are outputted outside, it becomes impossible moreover, to guarantee the setup time of the external data of sufficient die length, but to perform exact data read-out to the start edge of the external clock signal extCLK, in order that internal data transfer initiation timing may be overdue.

[0017] The clock buffer 100 is transmitting the internal clock signal intCLK to each circuit inside SDRAM, and comparatively big driving force is needed. When for example, the usual inverter buffer is used, the time delay becomes large, and it becomes impossible to disregard the time delay (the rate to the cycle time of a time delay becomes large), and it becomes impossible therefore, to realize rapid access especially at the time of high-speed operation.

[0018] since [then,] the internal clock signal which replaced with the above usual buffers and synchronized with the external clock signal extCLK is generated - DIRE - the id - the internal clock generating circuit using a lock loop formation (DLL is called hereafter) or a phase locked loop (PLL is called hereafter) is proposed. By using DLL or PLL, it is possible to be able to carry out phase simulation of the internal clock signal to an external clock signal, and to lose the delay to the external clock signal of this internal clock signal.

[0019] Drawing 19 is drawing showing roughly the configuration of the internal clock generating circuit which uses DLL. The clock buffer 120 with which an internal clock generating circuit carries out buffer processing of the external clock signal extCLK in drawing 19, The internal clock signal RCLK (or intCLK) and the phase detector 124 which detects the phase contrast of clock signal ECLK from the clock buffer 120, The charge pump 126 which carries out the charge and discharge of the current according to the control signal / UP, and DOWN from a phase detector 124, The loop filter 128 which changes the charge and discharge current of this charge pump 126 into a voltage signal with a capacitor, and graduates it, The time delay is adjusted according to the output voltage VCOIN of a loop filter 128, and the armature-voltage control delay component 130 which is delayed and outputs clock signal ECLK given to the input node IN to the output node OUT is included. The output signal of this armature-voltage control delay component 130 is given to the clock buffer 122. The clock buffer 122 generates the internal clock signal RCLK (or intCLK).

[0020] When the phase of clock signal ECLK is progressing rather than the phase of clock signal RCLK, a control signal/UP is made into L level, and a phase detector 124 makes a control signal DOWN L level, and makes the charge pump 126 produce the charging current. In being reverse, a control signal/UP is made into H level, it makes a control signal DOWN H level, and a phase detector 124 makes the charge pump 126 produce the discharge current. When the charge pump 126 produces the charging current, the voltage level of the control voltage VCOIN from a loop filter 128 rises, and when the charge pump 126 produces the discharge current on the other hand, the control voltage VCOIN from a loop filter 128 falls.

[0021] That operating current will go up, a time delay will become short, and the armature-voltage control delay component 130 will advance the phase of the clock signal from the internal output node OUT, if this control voltage VCOIN rises. On the other hand, if a voltage level falls [control voltage VCOIN], the operating current of the armature-voltage control delay component 130 will fall, and the phase of the signal outputted to the output node OUT from this armature-voltage control delay component 130 will be overdue.

[0022] The internal clock generating circuit which this phase detector 124, the charge pump 126, the loop filter 128, the armature-voltage

control delay component 130, and the clock buffer 122 constitute the feedback loop, therefore is shown in this drawing 19 is a kind of automatic-control circuit. Therefore, the voltage level of the control voltage VCOIN from this loop filter 128 is adjusted so that the phase contrast in this phase detector 124 may be set to 0, phase simulation of the internal clock signal RCLK from the clock buffer 122 (or intCLK) is carried out to the external clock signal extCLK, and it turns into the clock signal with the same frequency. Here, the clock buffer 120 only gives clock signal ECLK to a phase detector 124, can make that driving force sufficiently small, and can disregard mostly the time delay in this clock buffer 120. In order that the clock buffer 122 may transmit the internal clock signal RCLK (or intCLK) to an internal circuitry, driving force is enlarged comparatively. However, since feedback control is performed so that the phase of clock signal RCLK which this clock buffer 122 outputs, and clock signal ECLK which the clock buffer 120 outputs may be made equal, even if driving force of the clock buffer 122 is enlarged, and that time delay will be disregarded effectually and had big driving force, the internal clock signal RCLK (or intCLK) which carried out phase simulation to the external clock signal extCLK is generated.

[0023] Drawing 20 is drawing showing an example of the concrete configuration of the armature-voltage control delay component shown in drawing 19. In drawing 20, the armature-voltage control delay component 130 contains delay circuit 130b as which the electrical potential differences VINP and VINN outputted from current Miller circuit 130a which generates control voltage VINP and VINN according to the control voltage VCOIN from a loop filter 128, and this current Miller circuit 130a, and therefore the time delay of those are specified. Delay circuit 130b generates the clock signal which is delayed in clock signal ECLK given to the input node IN, and is equivalent to an internal clock signal at the output node OUT.

[0024] The p channel MOS transistor P1 by which current Miller circuit 130a is connected with the power node Vcc which receives supply voltage between internal node 130aa(s), and the gate is connected to internal node 130aa, The p channel MOS transistor P2 by which connects with a power node Vcc between internal node 130ab(s), and the gate is connected to internal node 130aa, The n channel MOS transistor N1 and resistance element R which are connected to a serial between internal node 130aa and the touch-down node Vss The n channel MOS transistor N2 by which connects with internal node 130ab between the touch-down nodes Vss, and the gate is connected to internal node 130ab is included. The control voltage VCOIN from the loop filter 128 shown in drawing 19 is given at the gate of MOS transistor N1.

[0025] MOS transistors P1 and P2 constitute current Miller circuit, and if such sizes are made equal, the current of the same magnitude will flow to MOS transistors P1 and P2. A current is supplied to MOS transistor N2 from MOS transistor P2, it operates in resistance mode, and generates the electrical potential difference VINN according to the current supplied from this MOS transistor P2. The current of the same magnitude flows in MOS transistors P2 and N2. Control voltage VINP is outputted from internal node 130aa, and control voltage VINN is outputted from internal node 130ab.

[0026] Delay circuit 130b contains the inverter chain with which each operating current consists of inverters IV1-IVn of the plurality adjusted with control voltage VINP and VINN with which cascade connection was carried out. Inverter IVi (i=1-n) contains the p channel MOS transistors PTi and PLi each other connected to a serial between a power node Vcc and an output node, and the n channel MOS transistors NTi and NLi each other connected to a serial between an output node and the touch-down node Vss. The gate of MOS transistor PTi is connected to internal node 130aa, and the gate of MOS transistor NTi is connected to internal node 130ab. The gate of MOS transistors PLi and NLi is connected to the output node of the inverter of the preceding paragraph in common. Clock signal ECLK is given through the input node IN at the gate of MOS transistors P1i and N1i which constitute the inverter of the first rank. The output node of the inverter (MOS transistors PIn and NIn) of the last stage is connected to the output node OUT.

[0027] MOS transistors PT1-PTn, and NT1-NTn act as a current source of each inverter. MOS transistors PT1-PTn receive control voltage VINP in each gate, and MOS transistors NT1-NTn receive control voltage VINN in each gate. MOS transistors PT1-PTn constitute MOS transistor P1 and current Miller circuit, and MOS transistors NT1-NTn constitute MOS transistor N1 and current Miller circuit. Similarly [the size of MOS transistors PT1-PTn] to the size of MOS transistor P2, when the size of MOS transistors NT1-NTn is the same as the size of MOS transistor N2, the current which flows through MOS transistors P2 and N2 at each inverters IV1-IVn, and the current of the same magnitude flow as operating currents to these. Next, actuation is explained briefly.

[0028] When control voltage VCOIN is L level, MOS transistor N1 is an OFF state, and since control voltage VINP will serve as supply voltage level, MOS transistors P1 and P2 will be in an OFF state and a current is not supplied from MOS transistor P2, MOS transistor N2 will also be in an OFF state. In this condition, all of MOS transistors PT1-PTn, and NT1-NTn will be in an OFF state, and since, as for delay circuit 130b, the operating current is not supplied, the output node OUT will be in floating.

[0029] If the voltage level of control voltage VCOIN rises, the conductance of MOS transistor N1 will become large, and a current will flow through MOS transistor P1. If a current flows through this MOS transistor P1, the control voltage VINP according to the current which flows through this MOS transistor P1 will be generated. That is, in order that MOS transistor P1 may operate in a saturation region, the current which flows through this MOS transistor P1 is given by the degree type.

[0030] β (VINP-Vcc-Vthp) 2 – here, Vthp shows the threshold electrical potential difference of MOS transistor P1. Moreover, a multiplier β is a conductance multiplier of the p channel MOS transistor P1, and is proportional to the ratio of gate width and gate length.

[0031] According to this control voltage VINP, a current flows also to MOS transistor P2, and the voltage level of the control voltage VINN from the drain (internal node 130ab) of MOS transistor N2 also rises. This MOS transistor N2 also supplies the current which the gate and a drain interconnect, operates in a saturation region, and is shown by the degree type.

[0032] β (VINN-Vthn) 2 – here, the touch-down electrical potential difference Vss is set to 0V. Vthn shows the threshold electrical potential difference of MOS transistor N2. According to this control voltage VINP and VINN, the current source transistors PT1-PTn contained in delay circuit 130b, and NT1-NTn also supply a current. The inverter trains IV1-IVn delay for it and transmit clock signal ECLK which operated according to the current which the current source transistors PT1-PTn, and this NT1-NTn supply, and was given to the internal node IN. If the voltage level of control voltage VCOIN rises, the voltage level of control voltage VINP will fall, the amount of currents which flows through MOS transistor P2 rises, the conductance of MOS transistor N1 will also rise and the voltage level of control voltage VINN will also rise [it will respond and]. Therefore, the operating current which the current source transistors PT1-PTn, and NT1-NTn supply also increases.

[0033] If the operating current of Inverters IV1-IVn is large, they can carry out the charge and discharge of the output node at high speed. Therefore, if the operating current becomes large, the time delay which these inverters IV1-IVn have will become small, and the time delay which this delay circuit 130b has will become short. On the other hand, if the operating current which the current source transistors PT1-PTn, and NT1-NTn supply becomes small, the time delay which the charge and discharge current of the output node of Inverters IV1-IVn

falls, the working speed of Inverters IV1-IVn becomes slow, the time delay which Inverters IV1-IVn have becomes large, it responds and delay circuit 130b has will become large.

[0034] If the time delay which delay circuit 130b has becomes short, as for the clock signal which appears to the output node OUT, the phase will be advanced relatively. On the other hand, if the time delay which delay circuit 130b has becomes long, the phase of the clock signal which appears in the output node OUT will become late. Control voltage VCOIN is generated according to the phase contrast of clock signal ECLK and RCLK. When the phase of clock signal ECLK is progressing rather than clock signal RCLK, a voltage level rises [control voltage VCOIN] and the time delay which delay circuit 130b has is shortened. On the other hand, if the phase of clock signal ECLK becomes later than clock signal RCLK, the voltage level of control voltage VCOIN will fall and the time delay which delay circuit 130b has will be lengthened. Thereby, the signal outputted from the output node OUT turns into the signal adjusted so that the phase of clock signal ECLK and RCLK might become the same (it locked), i.e., the signal which carried out phase simulation to clock signal ECLK. DLL calls the condition of "having locked" the condition of outputting a signal with an equal phase to clock signal ECLK.

[0035]

[Problem(s) to be Solved by the Invention] By using the armature-voltage control delay component 130 as shown in this drawing 20, the internal clock signal RCLK (intCLK) which carried out phase simulation to the external clock signal extCLK is generable. This armature-voltage control delay component 130 is adjusting the phase and frequency of an internal clock signal by adjusting the working speed of Inverters IV1-IVn. The maximum working-speed condition of this delay circuit 130b is in the condition that MOS transistors PT1-PTn, and NT1-NTn supply maximum current. In order to adjust the time delay of delay circuit 130b according to this control voltage VCOIN, it is necessary to operate MOS transistors PT1-PTn, and NT1-NTn in a linearity field (when it is made to operate in a saturation region, the operating current cannot be changed according to control voltage VINP and VINN). Therefore, an upper limit exists in the working speed (clock frequency) of an internal clock generating circuit.

[0036] Moreover, when reducing the voltage level of control voltage VCOIN, the voltage level of control voltage VINP can rise, and the voltage level of control voltage VINN can fall, and the time delay which this delay circuit 130b has can be enlarged. However, in the case of such a big time delay, the conductance of MOS transistor N1 changes a lot by change of a small portion of control voltage VCOIN (in an MOS transistor, the conductance changes a lot near the threshold electrical potential difference). Control voltage VINP and VINN changes a lot by change of a small portion of control voltage VCOIN. The current source transistors PT1-PTn and the supply current of NT1-NTn change a lot, since the time delay which it responds and delay circuit 130b has changes a lot, it becomes unstable actuation and there is a limit also in the maximum time delay.

[0037] Therefore, for the armature-voltage control delay component 130 as shown in this drawing 20, a limitation is located in the signal frequency range which can delay that stability, and the fault of it becoming impossible to lock in stability over an extensive frequency range arises.

[0038] The frequencies of the clock signal differ according to the working speed of the system by which SDRAM is applied with 66MHz, 100MHz, and 150MHz. Therefore, when the lock range of an internal clock generating circuit is restricted, it is necessary to form an internal clock generating circuit separately, it responds according to each clock frequency, the class of SDRAM increases, and the fault that product cost becomes high arises.

[0039] The above problems are similarly produced in DLL or PLL which generally generates the internal signal which synchronized not only with the internal clock generating circuit of SDRAM but with the external signal.

[0040] So, the purpose of this invention is offering the internal clock generating circuit which can be locked in stability to the signal of the frequency of the extensive range.

[0041] Other purposes of this invention are offering the internal clock generating circuit for realizing the synchronous semiconductor memory which operates to stability synchronizing with the external clock signal of the frequency of the extensive range.

[0042]

[Means for Solving the Problem] The internal clock generating circuit concerning this invention is equipped with a means detect the phase contrast of an external clock signal and an internal clock signal, a delay control clock-generation means generate the signal which can change a time delay according to that detected phase contrast, operates according to that time delay, and is equivalent to an internal clock signal, and a delay offset means give offset to this time delay according to a mode-setting signal.

[0043] In the circuit of claim 1, as for the internal clock generating circuit concerning claim 2, a delay control clock generation means includes an adjustable delay means to add to the time delay which an inverter train gives the time delay which the delay offset means was connected to two or more inverter trains and a serial, and was set up by the mode setting signal, including two or more inverter trains to which each operating current is adjusted according to phase contrast. An external clock signal is inputted into the serial path which consists of this adjustable delay means and an inverter train.

[0044] Including two or more inverter trains to which, as for the internal clock generating circuit concerning claim 3, each operating current is adjusted according to phase contrast in the circuit of claim 1, as for a control delay clock generation means, the delay offset means was set up by the mode setting signal, carries out time delay delay of the output signal of the inverter of the last stage of two or more inverter trains, and gives it to the input section of the inverter of the first rank of two or more inverter trains.

[0045] The internal clock generating circuit concerning claim 4 makes the data with which the delay offset means was stored in the mode register which stores the data which determine the mode of a synchronous semiconductor memory of operation in the circuit of claim 1 thru/or either of 3 a mode setting signal, and the amount of delay offset is set up.

[0046] The data with which the internal clock generating circuit concerning claim 5 is stored in a mode register in the circuit of claim 4 are data which set up the CAS latency which shows the number of cycles of the external clock signal needed after data read-out directions of a synchronous semiconductor memory are given before an effective data is outputted.

[0047] The internal clock generating circuit concerning claim 6 is further equipped with a means to choose either an external clock signal or a delay control clock signal according to a mode setting signal, and to output as an internal clock signal.

[0048] A means by which the signal generating circuit concerning claim 7 detects the phase contrast of the 1st signal and said 2nd signal, An armature-voltage control delay means to generate the signal which has a means to generate the electrical potential difference according to this phase contrast, and the time delay determined with this generated electrical potential difference, operates with this time delay determined, and is equivalent to the 2nd signal, It has a delay offset means to answer an active region setting signal and to give offset to this time delay.

[0049] To the time delay which a delay control clock generation means has, by giving offset according to a mode setting signal, the time

delay which this delay control clock generation means has can be changed equivalent, it responds, and the working speed of a delay control clock generation means can be changed, it can respond, and the clock frequency of this delay control clock generation means can be changed according to the frequency of an external clock signal. Thereby, the lock range can be changed according to the frequency of an external clock signal (the 1st signal), and the clock frequency range which can be locked as a result can be made large.

[0050]

[Embodiment of the Invention]

[Gestalt 1 of operation] drawing 1 is drawing showing roughly the configuration of the whole internal clock generating circuit according to the gestalt 1 of implementation of this invention. In drawing 1, the internal clock generating circuit according to the gestalt 1 of implementation of this invention The clock buffer 120 which carries out buffer processing of the clock signal extCLK from the outside, The transmitted adjustable delay circuit 1 to which clock signal ECLK from this clock buffer 120 was set according to mode change-over signal phiMOD as a mode setting signal and which carries out time delay delay, It is specified according to the control voltage VCOIN given from a loop filter 128, the amount of operating currents, i.e., time delay, and the armature-voltage control delay component 130 which transmits the clock signal given through the adjustable delay circuit 1 is included.

[0051] The adjustable delay circuit 1 contains selection-circuitry 1c which chooses either the output signal of clock signal ECLK and delay component 1a, and the output signal of delay component 1b according to mode change-over signal phiMOD, and is delivered delay component 1a delayed in clock signal ECLK from the clock buffer 120, and delay component 1b further delayed in the output signal of this delay component 1a to the input node IN of the armature-voltage control delay component 130. The delay components 1a and 1b consist of for example, an inverter delay circuit, a RC delay circuit, etc.

[0052] The clock buffer 122 which this internal clock generating circuit carries out buffer processing of the clock signal given from the output node OUT of the armature-voltage control delay component 130 further, and generates the internal clock signal intCLK (or RCLK), The phase detector 124 which detects the phase contrast of clock signal ECLK from the internal clock signal RCLK (or intCLK) and the clock buffer 120 from this clock buffer 122, The charge pump 126 which carries out the charge and discharge of the current according to the control signal / UP, and DOWN from a phase detector 124 is included. The supply current from the charge pump 126 is changed into electrical-potential-difference information by the loop filter 128, and control voltage VCOIN is generated.

[0053] The armature-voltage control delay component 130 is equipped with the same configuration as the conventional armature-voltage control delay component shown in drawing 20. Therefore, it is determined according to this control voltage VCOIN, that operating current, i.e., time delay. The time delay set up by mode change-over signal phiMOD is given to clock signal ECLK by the adjustable delay circuit 1, and is given to the armature-voltage control delay component 130. Therefore, it means that the time delay which the armature-voltage control delay component 130 has equivalent had increased only the time delay which this adjustable delay circuit 1 gives. By adjusting the time delay which this adjustable delay circuit 1 gives, the clock frequency field of the clock signal which can lock the armature-voltage control delay component 130 is changed. The relation of this time delay and clock frequency is explained below.

[0054] As shown in drawing 2 (A), the time delay which can give the armature-voltage control delay component 130 is now set to Δt_0 thru/or Δt_1 . A time delay Δt_1 is longer than a time delay Δt_0 . The armature-voltage control delay component 130 consists of two or more inverter trains, as shown in drawing 20. Therefore, the frequency of the signal which can operate at high speed if the time delay of this armature-voltage control delay component 130 is short, therefore can be locked becomes high. On the other hand, when transmitting a clock signal through the adjustable delay circuit 1 to this armature-voltage control delay component 130, the time delay T of this adjustable delay circuit 1 is added to the time delay which the armature-voltage control delay component 130 gives. Therefore, the time delay which the armature-voltage control delay component 130 gives equivalent serves as $T + \Delta t_0$ thru/or $T + \Delta t_1$. In this case, it means that offset was applied and the range of that time delay shifts only time amount T to the one where that clock frequency field (frequency of clock signal which can be locked) field is lower. Therefore, the adjustable delay circuit 1 can adjust the frequency range of the internal clock signal intCLK (or RCLK) by adjusting the time delay over clock signal ECLK. When this changes the time delay which the adjustable delay circuit 1 gives according to the frequency of the external clock signal extCLK, the clock frequency field of an internal clock generating circuit can be changed, and this clock frequency field can be made large equivalent.

[0055] That is, if the control voltage VCOIN from a loop filter 128 becomes high as shown in drawing 2 (B), the operating current of the armature-voltage control delay component 130 will become large, the time delay is shortened, the phase of the given signal will be advanced and the working speed will also become quick again. When a time delay T is not given by the adjustable delay circuit 1 (condition that selection-circuitry 1c of drawing 1 chooses clock signal ECLK), the clock frequency field of the armature-voltage control delay component 130 is given by F0. On the other hand, if the adjustable delay circuit 1 gives a time delay T, the time delay which the armature-voltage control delay component 130 has equivalent will become large, the working speed will become slow, and the clock frequency field of the armature-voltage control delay component 130 will turn into a field F1. Therefore, by the adjustable delay circuit 1, by adjusting a time delay T, a clock frequency field can be adjusted according to the frequency of the external clock signal extCLK, and the internal clock signal locked in the clock signal frequency of the extensive range can be generated. Next, the configuration of each part is explained.

[0056] Drawing 3 is drawing showing concretely the configuration of the phase detector 124 shown in drawing 1, the charge pump 126, and a loop filter 128. The armature-voltage control delay component 130 is the same as the configuration shown in drawing 20. In drawing 3, a phase detector 124 contains the inverter IV1 which receives clock signal ECLK given from the clock buffer 120, and the inverter IV2 which receives clock signal RCLK (or intCLK) from the clock buffer 122. This phase detector 124 compares the phase of the start of clock signal ECLK and RCLK, and generates control voltage (signal) / UP, and DOWN according to that phase contrast.

[0057] A phase detector 124 contains the flip-flop FF 2 which is answered and set to the fall (start of clock signal ECLK) of the output signal of an inverter IV1, and is further set according to the output signal of the output node Q1 of the flip-flop FF 1 and Flip-flop FF 1 which are reset according to the potential level of nodes Q2 or Q5, and is reset according to the potential of a node Q5. A flip-flop FF 1 includes NAND circuits NA1 and NA2 by which cross linking is carried out. NAND circuit NA1 receives the output signal of an inverter IV1, and the output signal of NAND circuit NA2. NAND circuit NA2 receives the output signal of NAND circuit NA1, the signal on a node Q5 (reset signal), and the signal on a node Q2. From NAND circuit NA2, control voltage/UP is outputted through two steps of inverter circuits IV3 and IV4 by which column connection is made.

[0058] A flip-flop FF 2 includes NAND circuits NA3 and NA4 by which cross linking is carried out. NAND circuit NA3 receives the signal of a node Q1, and the output signal of NAND circuit NA4. NAND circuit NA4 receives the output signal (signal on a node Q2) of NAND circuit NA3, and the signal on a node Q5.

[0059] A phase detector 124 is answered and set to the signal on the flip-flop FF 3 which is answered and set to the fall of the output signal of an inverter circuit IV2, and is further reset according to the signal potential on a node Q4 or a node Q5, and a node Q3, and contains the flip-flop FF 4 which answers the signal on a node Q5 and is reset. A flip-flop FF 3 consists of NAND circuits NA6 and NA7 by which cross linking is carried out, and a flip-flop FF 4 consists of NAND circuits NA8 and NA9 by which cross linking was carried out. NAND circuit NA6 receives the output signal of an inverter circuit IV2, and the output signal of NAND circuit NA7. NAND circuit NA7 receives the signal on a node Q4, the signal on a node Q5, and the output signal of NAND circuit NA6. Control voltage DOWN is outputted through an inverter circuit IV5 from NAND circuit NA7. NAND circuit NA8 receives the signal on a node Q3, and the output signal of NAND circuit NA9. NAND circuit NA9 receives the output signal of NAND circuit NA8, and the signal on a node Q5.

[0060] Further, a phase detector 124 includes NAND circuit NA5 which outputs the reset signal of L level to a node Q5, when all the signals that received and received the signal on nodes Q1, Q2, and Q3 and Q4 are H level. A node Q1 will start on H level, if clock signal ECLK starts on H level. If clock signal RCLK starts on H level, a flip-flop FF 3 will be set and the potential of a node Q3 will also start on H level. Flip-flops FF2 and FF4 are reset according to the output signal of a node Q5, respectively, and nodes Q2 and Q4 are in H level in an initial state. Therefore, if both the start of clock signal ECLK used as the candidate for a comparison and RCLK is given, this NAND circuit NA5 will output a reset signal on a node Q5, and will reset control voltage / UP, and DOWN.

[0061] Although actuation of this phase detector 124 is later explained to a detail, to clock signal ECLK, flip-flops FF1 and FF2 are formed, and flip-flops FF3 and FF4 are formed to clock signal RCLK. The connection mode of flip-flops FF3 and FF4 is the same as the connection mode of flip-flops FF1 and FF2. Therefore, when the phase of clock signal ECLK is progressing rather than the phase of clock signal RCLK, a flip-flop FF 1 is set previously and let control voltage/UP be active states. On the contrary, when the phase of clock signal RCLK is progressing rather than the phase of clock signal ECLK, a flip-flop FF 3 is set previously and let control voltage DOWN be an active state. This control voltage / UP, and DOWN are the digital signals corresponding to phase contrast in an activity period. The charge pump 126 performs the charge and discharge of a current according to the phase contrast of clock signal ECLK and RCLK according to the activity period of this digital control electrical potential difference / UP, and DOWN.

[0062] The charge pump 126 includes the n channel MOS transistor NQ and current source IS 2 which are connected to a serial between the current source IS 1 connected to a serial between a power node Vcc and the output node Q6 and the p channel MOS transistor PQ, and the output node Q6 and the touch-down node Vss. The p channel MOS transistor PQ receives control voltage/UP in the gate, and the n channel MOS transistor NQ receives control voltage DOWN in the gate. The period when control voltage / UP, and DOWN are made into an active state has embraced the phase contrast of clock signal ECLK and RCLK, and the period used as the ON state of MOS transistors PQ and NQ is also defined according to the phase contrast. Therefore, in a node Q6, the charge and discharge of a current according to the phase contrast of clock signal ECLK and RCLK are performed. The current information from this charge pump 126 is changed into electrical-potential-difference information with a loop filter 128, control voltage VCOIN is generated, and the operating current of the armature-voltage control delay component 130 is determined.

[0063] A loop filter 128 contains the resistance element Ra connected to a serial between a node Q6 and the touch-down node Vss, and a capacitive element calcium. This loop filter 128 is the low pass filter or smoothing circuit where a time constant is determined by the resistance element Ra and the capacitive element calcium. By storing the charge and discharge current from the charge pump 126 in a capacitive element calcium, the current information from this charge pump 126 is changed into electrical-potential-difference information. Next, actuation of a phase detector 124 is explained with reference to drawing 4 (A) and (B).

[0064] Drawing 4 (A) is the timing-chart Fig. showing actuation when the phase of clock signal ECLK is progressing rather than clock signal RCLK. In the reset condition before time of day t0, the output signal of an inverter IV1 is H level, the output signal of NAND circuit NA2 is H level, and a node Q1 is in L level. The node Q2 is reset, and the potential level of a node Q1 is L level, and is in H level. Similarly, L level and the potential level of a node Q4 have the potential level of a node Q3 in H level. In this condition, both control voltage and / UP, and /DOWN are in H level.

[0065] In time of day t0, if clock signal ECLK starts on H level, a flip-flop FF 1 will be set and the potential level of a node Q1 will start on H level. If the potential level of a node Q1 starts on H level, all the input signals of NAND circuit NA2 will serve as H level, and control voltage/UP will fall to L level. By this, the p channel MOS transistor PQ will be in an ON state, the current from a current source IS 1 is supplied to the output node Q6 in the charge pump 126, and the charge potential of the capacitive element calcium of a loop filter 128 is raised.

[0066] If clock signal RCLK starts on H level in time of day t1, a flip-flop FF 3 will be set and the potential of a node Q3 will start on H level. The start to H level of the potential of this node Q3 is answered, the output signal/DOWN of NAND circuit NA7 start on L level, and a fall and control voltage DOWN start on H level. By this, the n channel MOS transistor NQ flows, the current from a current source IS 1 flows to a current source IS 2 through MOS transistors PQ and NQ in the charge pump 126, and charge actuation of the capacitive element calcium of a loop filter 128 stops. If the potential level of a node Q3 starts on H level, all of the potential level of nodes Q1, Q2, Q3, and Q4 will be set to H level, and the potential of the signal outputted to a node Q5 will fall from NAND circuit NA5 to L level. The fall of the potential level of this node Q5 is answered, flip-flops FF1, FF2, FF3, and FF4 are reset altogether, H level, a control signal / DOWN starts [the time delay of the NAND circuit and/or inverter circuit to the fall of potential of this node Q5 with control voltage / UP] on H level, and a node Q2 falls to L level.

[0067] In time of day t2, if clock signal ECLK falls to L level, the output signal of an inverter circuit IV1 will serve as H level, and the signal outputted to a node Q1 will fall from NAND circuit NA1 to L level. If the potential level of this node Q1 falls to L level, a flip-flop FF 2 will be set and the potential of a node Q2 will start on H level. If the potential of a node Q4 answers the fall of the potential level of a node Q5 and falls to L level, the potential level of a node Q5 will be held again at H level.

[0068] Next, in time of day t3, if clock signal RCLK falls to L level, the output signal of an inverter circuit IV2 serves as H level, the signal outputted to a node Q3 from a NAND circuit will fall and (a signal/DOWN is in H level) respond to L level, a flip-flop FF 4 will be set, and the potential level of a node Q4 will start on H level. By a series of actuation of this time of day t0-t3, adjustment of the control voltage VCOIN according to the phase contrast of clock signal ECLK and RCLK is completed.

[0069] In time of day t4, if clock signal ECLK starts on H level again, a flip-flop FF 1 will be set and the potential level of a node Q1 will start on H level. The start of the potential level of this node Q1 is answered, and control voltage/UP starts on H level. Since clock signal RCLK is in L level, the condition of flip-flops FF3 and FF4 does not change, and the potential level of a node Q5 is also in H level.

[0070] Since clock signal RCLK is in L level and the condition of flip-flops FF3 and FF4 is not changing even if clock signal ECLK falls to L level before time of day t5, the signal potential level of the internal nodes Q1-Q4 does not change.

[0071] In time of day t5, if clock signal RCLK starts on H level, a flip-flop FF 3 will be set and the potential of a node Q3 will start on H level. The start of the potential of this node Q3 is answered, NAND circuit NA5 outputs the signal of L level to a node Q5, and flip-flops FF1-FF3 are reset. Thereby, control voltage/UP starts on H level, and control voltage/DOWN falls to L level. If the potential of a node Q1 falls to L level according to the reset signal on a node Q5 (signal of L level), L level potential of the node Q2 reset by the signal of L level on a node Q5 will start on H level. By the reset signal on this node Q5, if the potential level of a node Q4 falls to L level, the potential level on this node Q5 will start on H level again. Thereby, the charge actuation according to the phase contrast of clock signal ECLK between time of day t4 and time of day t5 and RCLK is completed.

[0072] In time of day t6, if clock signal ECLK starts on H level, a flip-flop FF 1 will be set, the potential level of a node Q1 will start on H level, and control voltage/UP will fall to L level again.

[0073] In time of day t7, if clock signal RCLK falls to L level, flip-flops FF3 and FF4 will be reset, and H level and the potential of a node Q3 will serve as [the potential of a node Q4] L level. In order that the potential of a node Q3 may fall to L level, as for the potential of a node Q5, H level is maintained, and a reset signal is not generated. Henceforth, this condition is maintained until clock signal RCLK next starts.

[0074] As mentioned above, clock signal ECLK supplies the current [pump / 126 / charge] according to that phase contrast by making the time amount control voltage according to that phase contrast / UP into an active state (L level), when the phase is progressing rather than clock signal RCLK, and the charging current from this charge pump 126 is changed into electrical-potential-difference information with a loop filter 128. Therefore, the voltage level of control voltage VCOIN is adjusted according to the phase contrast.

[0075] Drawing 4 (B) is the wave form chart showing actuation when the phase of clock signal RCLK is progressing rather than the phase of clock signal ECLK. As shown in drawing 3, the connection mode of flip-flops FF3 and FF4 is the same as the connection mode of flip-flops FF1 and FF2. Therefore, when the phase of clock signal RCLK is progressing rather than the phase of clock signal ECLK, let a control signal/DOWN be the time amount active states according to the phase contrast. If both clock signal RCLK and ECLK serve as H level, a reset signal is generated, and control voltage/UP will be made into the active state of predetermined period L level, and will stop the discharge actuation from the charge pump 126.

[0076] When the phase of this clock signal RCLK is progressing rather than the phase of clock signal ECLK, control voltage DOWN will serve as H level, the n channel MOS transistor NQ of the charge pump 126 will be in an ON state, only the current which a current source IS 2 drives from the output node Q6 discharges, and the charge potential of the capacitive element calcium of a loop filter 128 is reduced. Thereby, a voltage level falls, and control voltage VCOIN responds, reduces [the operating current of the armature-voltage control delay component 130 is reduced, and] a working speed, and delays the phase of clock signal RCLK. The wave form chart shown in this drawing 4 (B) is obtained in the wave form chart shown in drawing 4 (A) by replacing clock signal RCLK and ECLK, and replacing control voltage / UP, and /DOWN, and replacing nodes Q3 and Q4 with nodes Q1 and Q2, respectively. Therefore, the detail explanation is omitted.

[0077] In addition, in drawing 3, a digital phase detector is used for a phase detector 124, and the charge pump 126 and the loop filter 128 consist of analog circuits. However, all of these circuits may consist of digital circuits, and the so-called digital DIREIDO lock DORUPU (DDL) may be used. Moreover, not the configuration for which the configuration of a phase detector 124 uses a NAND mold flip-flop but another configuration using a coincidence detector for example may be used. What is necessary is just the configuration of generating the control voltage / UP, and DOWN according to phase contrast of clock signal ECLK and RCLK.

[0078] Moreover, in an armature-voltage control delay component, when the phase of clock signal ECLK and RCLK is in agreement, nodes Q1-Q3 serve as H level altogether at coincidence (when it is in the locked condition), potential level of a node Q5 is made into L level, and flip-flops FF1-FF4 are reset. Therefore, in this condition, both control voltage and / UP, and /DOWN maintain H level, and the charge and discharge of a current are not performed in the charge pump 126, but control voltage VCOIN holds that voltage level. Thereby, the internal clock (phase simulation was carried out) signal RCLK (or intCLK) locked to the external clock signal is generable to stability.

[0079] [Example of modification] drawing 5 is drawing showing the configuration of the example of modification of the internal clock generating circuit according to the gestalt 1 of implementation of this invention. In the internal clock generating circuit shown in drawing 5, the adjustable delay circuit 1 where the time delay is set up according to mode change-over signal phiMOD between the output section of the armature-voltage control delay component 130 and the clock buffer 122 which generates the internal clock signal RCLK (or intCLK) is arranged. Other configurations are the same as the configuration shown in drawing 1, and give the same reference number to a corresponding part. Clock signal ECLK from the clock buffer 120 is given directly to the armature-voltage control delay component 130. This armature-voltage control delay component 130 contains delay circuit 130b including the train of two or more inverters IV1-IVn with which that operating current is adjusted according to the electrical potential differences VINP and VINN from current Miller circuit 130a which generates control voltage VINP and VINN according to the control voltage VCOIN from a loop filter 128, and this current Miller circuit 130a. This delay circuit 130b operates with the time delay which followed control voltage VINP and VINN from current Miller circuit 130a, and adjusts the phase of clock signal ECLK. The adjustable delay circuit 1 gives the time delay set up by mode change-over signal phiMOD to the output signal of the armature-voltage control delay component 130. Therefore, equivalent, even if the adjustable delay circuit 1 is established in the output section of the armature-voltage control delay component 130, since offset is given to delay of the armature-voltage control delay component 130, the clock frequency field of the clock signal which can lock this internal clock generating circuit similarly can be adjusted.

[0080] As mentioned above, since it constituted to the armature-voltage control delay component so that offset of a time delay might be given according to a mode change-over signal when following the gestalt 1 of implementation of this invention, this mode change-over signal can adjust the frequency of the clock signal which can lock an internal clock generating circuit, the frequency domain of the clock signal which can be locked can be made large, and the clock frequency field of an internal clock generating circuit can be made large.

[0081] [Gestalt 2 of operation] drawing 6 is drawing showing the configuration of the data read-out section of SDRAM roughly. In drawing 6, the configuration of train selector-gate 114a contained in the memory cell array 108 and a train selection circuitry and the I/O circuit 116 is shown roughly.

[0082] In the memory cell array 108, memory cell 108a is arranged a line and in the shape of [of a train] a matrix, a word line WL is arranged corresponding to each memory cell line, and a bit line pair is arranged corresponding to each memory cell train. In drawing 6, one word line WL and one bit line BL are shown typically. Memory cell 108a contains the access transistor MT which consists of n channel MOS transistors which answer the signal potential on the memory cell capacitor MC which stores information with the gestalt of a charge, and a word line WL, and connect the memory cell capacitor MC to a bit line BL. (Sense amplifier SA) 108b is arranged

corresponding to each bit line pair. This (sense amplifier SA) 108b amplifies the potential of a bit line pair of correspondence in differential at the time of activation.

[0083] Train selector-gate 114a contained in the train selection circuitry 114 is prepared corresponding to each bit line pair (memory cell train) of the memory cell array 108, and connects to the I/O circuit 116 the bit line pair corresponding to the train addressed according to the train selection signal CY from the train decoder which is not illustrated.

[0084] The I/O circuit 116 contains (pre amplifier PA) 116a which amplifies the data of the selection memory cell transmitted through this train selector-gate 114a, and output circuit 116b which carries out the sequential output of the data amplified by (pre amplifier PA) 116a according to the internal clock signal. This pre amplifier (PA) The configuration of arbitration can be used about the configuration of the part from 116a to output circuit 116b. The configuration of the "2-bit prefetch method" which chooses 2-bit memory cell data as coincidence, amplifies them, and is transmitted one by one synchronizing with an internal clock signal may be used. Moreover, in output circuit 116b, the configuration which transmits the data which answered the internal clock signal at the time of data read-out, and were amplified by this (pre amplifier PA) 116a one by one in a pipeline mode may be used. Synchronizing with an internal clock signal, data are outputted to the data input/output terminals D/Q from the output buffer of the last stage included in output circuit 116b.

[0085] Drawing 7 is the wave form chart showing roughly the actuation at the time of data read-out of SDRAM shown in drawing 6. If an active command is given, line selection actuation will be started according to the line address signal then given to coincidence, and the potential of the word line WL corresponding to the line specified by this line address signal will start on H level. The stored data of memory connected to this selection word line WL is read to the bit line BL of correspondence or the bit line of ** / BL, and is detected, amplified and latched by (sense amplifier SA) 108b.

[0086] Subsequently, if the lead command which directs data read-out is given, train selection actuation will be performed according to the train address signal then given. According to this lead command, the train selection signal CY is made into a selection condition, and the data of the memory cell of correspondence of the memory cell array 108 are given in the I/O circuit 116. In this I/O circuit 116, after memory cell data are amplified by (pre amplifier PA) 116a, data are outputted through output circuit 116b. An active command and a lead command are given in SDRAM synchronizing with the start of the external clock signal extCLK. The number of clock cycles after a lead command is given until an effective data is outputted is shown by CAS latency. This CAS latency is time amount which will be needed by the time it outputs memory cell data to data input/output terminal D/Q through the I/O circuit 116, after performing train selection actuation in the data read-out section shown in drawing 6. This CAS latency is equivalent to the CAS access time of standard DRAM. In the case of the external clock signal extCLK (A), CAS latency is set up by 3 in drawing 7.

[0087] For example, in SDRAM which can operate according to a 100MHz clock signal, when CAS latency is three clock cycles, it can operate on the frequency of 100MHz. Moreover, when CAS latency is two clock cycles, what is guaranteed as equipment is required [that it can operate to 66MHz, and]. When a clock cycle is the external clock signal whose CAS latency is 66MHz for 15ns on the other hand 3 clocks when one clock cycle will use the external clock signal for 10ns which is 100MHz, if the access time of SDRAM which can operate by 100MHz sets to 30ns, CAS latency serves as two clocks. Therefore, although it is required that this SDRAM should operate with the clock frequency to 100MHz when CAS latency is set as three clocks, it is only required that SDRAM by which CAS latency was set as two clocks should operate with the clock frequency of a maximum of 66MHz. This demand is the same also to the internal clock generating circuit carried in the interior of SDRAM. Therefore, when CAS latency is set as two clock cycles, compared with the time of CAS latency being set as three clock cycles, an internal clock generating circuit does not need to operate at high speed, and the clock frequency field can be set up low.

[0088] Therefore, the clock frequency field of the internal clock generating circuit required of SDRAM can be correctly set up by using as mode change-over signal phiMOD which showed this CAS latency information in the gestalt 1 of previous operation.

[0089] Drawing 8 is drawing showing the configuration of a mode change-over signal generator roughly. In drawing 8, a mode change-over signal generator receives the internal control signal and the specific address signal bit Ad from an input buffer which are not illustrated. The command decoder 104 which outputs the signal which judges the condition synchronizing with the internal clock signal intCLK (RCLK), and shows this judgment result. The read-out control circuit 150 which controls the I/O circuit 116 and the train selection circuitry 114 according to lead actuation trigger signal phiR from a command decoder 104, and performs control required for data read-out, Mode register set trigger signal phiSC is answered from a command decoder 104, and the register control circuit 154 which controls the data store / read-out actuation to a mode register 152 is included.

[0090] This mode register 152 stores the signal given to the address input terminal ADD as mode assignment information under control of the register control circuit 154. The data stored in this mode register 152, i.e., burst length data, CAS latency data, and train address change sequence information are given to the read-out control circuit 150. The CAS latency data from this mode register 152 are used as mode change-over signal phiMOD.

[0091] Drawing 9 is the timing-chart Fig. showing actuation of the mode change-over signal generator shown in this drawing 8. Hereafter, with reference to the timing-chart Fig. shown in this drawing 9, the data set actuation to a mode register is explained. Here, in drawing 9, a bank is specified for SDRAM by the bank address bit BA including two banks. Moreover, line address signals are 11 bit-address signals of bit A0-A10, and train address signals are ten bit addresses of bit A0-A9. When the address bit A10 is unnecessary, this is used as a part of command.

[0092] In SDRAM, when one of banks is in a selection condition (active state), a precharge command is given and a bank of the active state is returned to a precharge condition. As clock cycle **a of drawing 9 is shown, in the start edge of the external clock signal extCLK, a precharge command sets a row address strobe signal / RAS and a write enable signal / WE as L level, and sets a column address strobe / CAS as H level, and sets the address bit A10 as H level. The bank address bit BA specifies a bank of a selection condition. According to a precharge command, the bank made into the selection condition under control of a command decoder 104 drives to a precharge condition.

[0093] If the so-called RAS precharge time amount passes and the interior of SDRAM returns to a precharge condition, a register set command will be given in clock cycle **b. In the start edge of the external clock signal extCLK of this clock cycle **b, a register set command sets all of an external control signal / RAS, /CAS, and /WE as L level, and sets the address bit A10 and the bank address bit BA as L level. If a register set command is specified, register set trigger signal phiSC from a command decoder 104 will be made into an active state, the register control circuit 154 will operate, and a mode register 152 will be connected to the address input terminal ADD. Among this address input terminal ADD, the input/output terminal corresponding to address bit A0-A9 is connected to the register circuit included in a mode register 152, and the data MODE needed for operating SDRAMs, such as burst length data and CAS latency data, are stored.

[0094] If required data are stored in this mode register 152, an active command will be given in clock cycle **c, address bit A0-A10 will

be incorporated as a line address signal, and the line selection actuation to the bank specified by the bank address bit BA will be started. After an active command is given, a lead command is given in clock cycle **d in which the so-called "RAS-CAS time delay tRCD" passed. If this lead command is given, address bit A0-A9 will be incorporated as a train address signal, and train selection actuation will be performed. When CAS latency is 3, synchronizing with the start of clock signal extCLK, the sequential output of the definite data (Q) is carried out from clock cycle **e.

[0095] The mode change-over signal over an internal clock generating circuit can be generated without preparing an excessive circuit by using the CAS latency data stored in this mode register 152 as mode change-over signal phiMOD. Usually, storing of required data to a mode register 152 is performed in the initialization sequence of SDRAM. This mode change-over signal phiMOD will shorten a time delay, if CAS latency becomes large. It follows, for example, when CAS latency is three clocks in the configuration of previous drawing 1, clock signal ECLK from the clock buffer 120 is chosen by selection-circuitry 1c, and it is given to the armature-voltage control delay component 130. When CAS latency is 2, the output signal of the delay components 1a or 1b is chosen, and it gives to the armature-voltage control delay component 130. Since CAS latency exists variously with one clock cycle, two clock cycles, three clock cycles, and four clock cycles, according to the clock frequency of the external clock signal used to realizable CAS latency and realizable each of operation, a time delay should just be chosen suitably.

[0096] For example, suppose that the range of the time delay of the armature-voltage control delay component 130 is 10ns thru/or 50s, and the range of the time delay added by the mode change-over signal is 5ns to 25ns. In this case, this can be changed into the range of the time delay for 15ns thru/or 75ns (66MHz thru/or 22MHz), if a time delay is added with a mode change-over signal and the clock frequency which can lock an internal clock generating circuit will be the range for 10ns thru/or 50ns (the output signal of an armature-voltage control delay element is because clock signal ECLK just carries out a maximum of 1 clock cycle delay).

[0097] In addition, the data for this mode setting signal may be not CAS latency data but data of dedication.

[0098] As mentioned above, if the gestalt 2 of implementation of this invention is followed, since the mode change-over signal for setting up the clock frequency field of an internal clock generating circuit will be generated using CAS latency data, the excessive circuit for generating this mode change-over signal becomes unnecessary, and circuit occupancy area can be reduced.

[0099] [Gestalt 3 of operation] drawing 10 is drawing showing the configuration of the adjustable delay circuit 1 according to the gestalt 3 of implementation of this invention. In drawing 10, the adjustable delay circuit 1 includes 1d of armature-voltage control delay circuits where that time delay is adjusted according to the control voltage VC from selector 1e which chooses mutually different reference voltages Vref1, Vref2, and Vref3 according to mode change-over signal phiMOD from a decoder 153, and outputs them as control voltage, and this selector 1e. 1d of armature-voltage control delay circuits is equipped with the same configuration as the armature-voltage control delay component 130, they are delayed in clock signal ECLK according to this control voltage VC, and give delay clock signal ECLKD to the armature-voltage control delay component 130. A decoder 153 decodes the CAS latency data CL contained in a mode register 152, and generates mode change-over signal phiMOD.

[0100] In the configuration of the adjustable delay circuit 1 shown in this drawing 10, a time delay can be adjusted according to control voltage VC. According to mode change-over signal phiMOD which decodes the CAS latency data CL and is obtained, this control voltage VC is chosen from reference voltages Vref1, Vref2, and Vref3, and is outputted. Therefore, the time delay correctly needed according to this CAS latency can be set up.

[0101] [Example of modification] drawing 11 is drawing showing the configuration of the example of modification of the adjustable delay circuit according to the gestalt 3 of implementation of this invention. Control voltage VC is generated in the configuration shown in this drawing 11 by D/A converter 157 which changes the CAS latency data CL from a mode register 152 into analog information. The adjustable delay circuit 1 includes the time delay defined according to the control voltage VC from this D/A converter 157, 1f of armature-voltage control delay circuits which are delayed in clock signal ECLK and generate delay clock signal ECLKD, and 1g of switching circuits which decode the CAS latency data CL from a mode register 152, and choose one side of the output signal of 1f of armature-voltage control delay circuits, and clock signal ECLK according to mode change-over signal phiMOD from a decoder 153.

[0102] D/A converter 157 can use the circuit which consists of resistance elements between the MOS transistor and output node which can use the usual D/A converter, for example, are connected to juxtaposition between a power node and an output node, and a touch-down node. If CAS latency becomes large, the number of MOS transistors which will be in an ON state among this juxtaposition MOS transistor will increase. Thereby, the voltage level of control voltage VC is raised and the time delay of 1f of armature-voltage control delay circuits is shortened. When delay does not need to be given to this clock signal ECLK, mode change-over signal phiMOD controls 1g of switching circuits, chooses clock signal ECLK, and gives it to the armature-voltage control delay component 130. 1g of this switching circuit may be used in the adjustable delay circuit 1 similarly shown in drawing 10 again. When 1g of switching circuits is not used, the number of stages of the inverter train of the armature-voltage control delay component 130 is reduced, the time delay which is 1d of armature-voltage control delay circuits and to give is added, and delay offset is set to 0 equivalent.

[0103] If the configuration shown in this drawing 11 is followed, the CAS latency data CL will be decoded using a D/A converter, and control voltage VC will be generated. Therefore, the circuit which generates the reference voltage for determining the working speed of 1f of this armature-voltage control delay circuit becomes unnecessary, and circuit occupancy area is reduced.

[0104] In addition, in the configuration shown in this drawing 11, the output signal of a mode register 152 is decoded, and it may be constituted so that that decoding result may be given to D/A converter 157. Although, as for the CAS latency data CL stored in a mode register 152, the configuration to which CAS latency is set with a binary number is shown, CAS latency data may be set up so that only 1 bit according to each CAS latency may be made into an active state.

[0105] As mentioned above, since it constitutes in the adjustable delay circuit 1 so that offset of a time delay may be applied using an armature-voltage control delay circuit if the gestalt 3 of implementation of this invention is followed, compared with the configuration which realizes a delay element using the usual inverter train, the time delay needed by reducing the number of stages of an inverter can be realized, and circuit occupancy area can be reduced.

[0106] [Gestalt 4 of operation] drawing 12 is drawing showing roughly the configuration of the whole internal clock generating circuit according to the gestalt 4 of implementation of this invention. In the configuration of the internal clock generating circuit shown in this drawing 12, the output signal of the adjustable delay circuit 10 delayed according to mode change-over signal phiMOD in the output signal of this armature-voltage control delay component 130 is given to the input section of the armature-voltage control delay component 130. That is, the adjustable delay circuit 10 and the armature-voltage control delay component 130 constitute a loop formation. Other configurations are the same as the gestalt 1 of previous operation thru/or it of 3, and give the same reference number to a corresponding

part. The configuration of the internal clock generating circuit shown in this drawing 12 is the so-called phase locked loop (PLL). A phase detector 124 detects the phase contrast of clock signal ECLK and RCLK. With the charge pump 126 and a loop filter 128, the control voltage VCOIN according to this phase contrast is given to current Miller circuit 130a of the armature-voltage control delay component 130. According to the control voltage VINP and VINN from this current Miller circuit 130a, the working speed of delay control clock generation circuit 130b is determined. The output signal of this circuit 130b is again given through the adjustable delay circuit 10 to the armature-voltage control delay component 130.

[0107] Therefore, unlike the configuration of DLL, the phase of the signal which is equivalent to this clock signal RCLK according to the phase contrast of clock signal ECLK and clock signal RCLK is adjusted. Compared with the case of the configuration of DLL, in the case of the internal clock generating circuit which consists of this PLL, according to the phase contrast of clock signal ECLK and RCLK, the phase of the internal clock signal RCLK is only adjusted, and, similarly the internal clock signal RCLK (or intCLK) which carried out phase simulation to the external clock signal is acquired. The adjustable delay circuit 10 is equipped with the same configuration as the adjustable delay circuit 1 shown in the gestalt 1 of previous operation thru/ or 3. By adjusting the time delay of this adjustable delay circuit 10, the time delay which delay control clock generation circuit 130b gives can be adjusted equivalent, and the clock frequency field (signal frequency field which can be locked) of this PLL can be adjusted.

[0108] [Example of modification] drawing 13 is drawing showing the configuration of the example of modification of the internal clock generating circuit according to the gestalt 4 of implementation of this invention. Also in the configuration of the internal clock generating circuit shown in this drawing 13, the armature-voltage control delay component 130 and the adjustable delay circuit 10 constitute a loop formation. However, unlike the configuration drawing 12 I Shown, the output signal from the adjustable delay circuit 10 is given to the clock buffer 122. That is, a phase detector 124 detects the internal clock signal RCLK equivalent to the output signal of this adjustable delay circuit 10, and the phase contrast of clock signal ECLK, and adjusts the time delay of the armature-voltage control delay component 130. The adjustable delay circuit 10 gives offset to the time delay of this armature-voltage control delay component 130, when that time delay is adjusted according to mode change-over signal phiMOD and a certain significant time delay is given. Therefore, like the gestalt of operation shown in previous drawing 12, the time delay of the armature-voltage control delay component 130 is adjusted according to mode change-over signal phiMOD, it responds and the clock frequency field of this internal clock generating circuit is adjusted. The internal clock signal which this certainly locked over the wide range clock signal frequency domain is generable.

[0109] As mentioned above, since an internal clock generating circuit is constituted using PLL, and it constitutes so that offset may be applied to the time delay of the armature-voltage control delay component which is the component of this PLL according to a mode change-over signal if the gestalt 4 of implementation of this invention is followed, the internal clock signal locked in stability over the wide range frequency domain of a clock signal is generable.

[0110] [Gestalt 5 of operation] drawing 14 is drawing showing roughly the configuration of the internal clock generating circuit according to the gestalt 5 of implementation of this invention. In drawing 14, the selector 2 which chooses one side of the output signal RCLK of clock signal ECLK and the clock buffer 122 as the output section of the clock buffer 122 which generates the internal clock signal RCLK (or intCLK) according to mode change-over signal phiMODB, and generates the internal clock signal intCLK is formed. In the adjustable delay circuit 1, selector 1c which chooses clock signal ECLK, the output signal of delay component 1a, or the output signal of delay component 1b according to mode change-over signal phiMODA is prepared. Other configurations are the same as the gestalt 1 of previous operation, and give the same reference number to a corresponding part. This mode change-over signal phiMODA and phiMODB are both generated based on CAS latency information, as explained in the gestalt 2 of previous operation, respectively. When the frequency of the external clock signal extCLK is low, even if offset is given to a time delay by the adjustable delay circuit 1 and that clock frequency field is made low, the condition that it becomes impossible to lock in this late clock signal ECLK enough produces the armature-voltage control delay component 130. When control voltage VCOIN is made sufficiently low and the conductance of the current source transistor of the inverter train of the armature-voltage control delay component 130 is made sufficiently small, Current I_{ds} is beta $(V_{gs} - V_{th})^2$. It follows, and in order to change, the operating current I_{ds} changes a lot by change of slight control voltage VCOIN, actuation of the armature-voltage control delay component 130 becomes unstable, it becomes impossible to lock in stability, and a minimum exists in a clock frequency field (refer to drawing 2).

[0111] By the selector 2, according to mode change-over signal phiMODB, clock signal ECLK from the clock buffer 120 is chosen such in a condition, and it outputs to it as an internal clock signal intCLK. Thereby, the frequency of clock signal ECLK (external clock signal extCLK) is late, and when it cannot respond by DLL, the internal clock signal which carried out phase simulation to clock signal ECLK can be generated. It is equal to clock signal ECLK, the phase synchronizes mostly, and delay can disregard the internal clock signal intCLK (when it is a low-speed clock, the amount of delay is short enough compared with a clock cycle). In the selector 2, the comparatively big buffer circuit may be established in the path which chooses clock signal ECLK. When clock signal ECLK is chosen as an internal clock signal intCLK, an internal clock signal without waveform distortion can be given to an internal circuitry.

[0112] [Example of modification] drawing 15 is drawing showing the configuration of the example of modification of the internal clock generating circuit according to the gestalt 5 of implementation of this invention. In the configuration shown in this drawing 15, the selector 20 which chooses one side of clock signal RCLK from the clock buffer 122 and clock signal ECLK from the clock buffer 120 according to the mode change-over signal MODB is formed like the configuration shown in drawing 14. The internal clock signal intCLK is outputted from a selector 20. Other configurations are the same as the configuration shown in drawing 12 in the gestalt 4 of previous operation, and give the same reference number to a corresponding part. In addition, in this adjustable delay circuit 10, delay component 10a delayed in clock signal RCLK, delay component delay component 10b delayed in the output signal of delay component 10a, and selector 10c which chooses either the output signal of clock signal RCLK and delay component 10a and the output signal of delay component 10b according to mode change-over signal phiMODA are prepared. This configuration is the same as the configuration of the adjustable delay circuit 1 shown in drawing 14. The adjustable delay circuits 1 and 10 may be armature-voltage control delay circuits (drawing 10, 11 reference).

[0113] Also in the configuration shown in this drawing 15, when the clock frequency of the external clock signal extCLK is lower than the clock frequency of PLL, by mode change-over signal phiMODB, clock signal ECLK is chosen by the selector 20, and it outputs as an internal clock signal intCLK. The internal clock signal intCLK which carried out phase simulation is generable also to clock signal extCLK of a low frequency which cannot respond by offset of the time delay by the adjustable delay circuit 10, either.

[0114] In addition, data are stored in the mode register which stores CAS latency data according to the clock frequency of an external clock signal, and that storing data may be used for this mode change-over signal phiMODB as mode change-over signal phiMODB. In this case, CAS latency data and the data for mode change-over signal phiMODB are set in the same cycle.

[0115] When determining mode change-over signal phiMODA (or phiMOD) according to CAS latency data, it is beforehand premised on the correspondence relation which exists between this CAS latency and the frequency of the external clock signal extCLK. When using the frequency of the external clock signal which separates from this premise, the clock signal which selectors 2 or 20 choose using mode change-over signal phiMODB is switched. The internal clock signal which carried out phase simulation is generable also to the clock frequency to which DLL or PLL cannot respond by that cause according to an application application easily.

[0116] As mentioned above, if the gestalt 5 of implementation of this invention is followed, the internal clock signal which carried out phase simulation to it also to the clock signal of low clock frequency with which DLL or PLL cannot respond since the selector which chooses one side of the clock signal generated from PLL or DLL and the clock signal corresponding to an external clock signal was prepared in the internal clock generating section can be generated, and the internal clock generating circuit where clock frequency is large can be generated.

[0117] In the gestalt 1 of the [example of application] above-mentioned operation thru/or 5, the internal clock generating circuit is used for the internal clock signal generation of SDRAM. However, this internal clock generating circuit is applicable if it is the semiconductor memory which performs actuation which incorporates an external signal synchronizing with an external clock signal like for example, synchronous one SRAM (static random access memory).

[0118] Moreover, not only in for example, a semiconductor memory but the communication link field etc., it is applicable to the communication system of two or more transmission speed with the configuration of one internal clock generating circuit also in the equipment which generates an internal clock signal synchronizing with a transmit-clock signal, and samples data according to this internal clock signal. In this case, a mode change-over signal may only be constituted so that a user may set up with the wiring of a pad etc.

[0119] Moreover, generally this invention is applicable not only to a clock signal but the 1st signal to the circuit which generates the 2nd signal which carried out phase simulation, especially the circuit which generates a signal using DLL and PLL.

[0120]

[Effect of the Invention] As mentioned above, in the internal clock generating circuit which generates the internal signal which carried out phase simulation to the external signal using the armature-voltage control delay component, if this invention is followed, since it constituted so that offset might be alternatively given for a time delay to this armature-voltage control delay component, the internal clock signal generating circuit which can certainly be locked over a large frequency domain is realizable.

[0121] If invention of claim 1 follows, a delay control clock-generation means generate the signal which operates according to the time delay which can be changed according to the phase contrast of an external clock signal and an internal clock signal, and is equivalent to an internal clock signal, and since it constitutes so that offset may give to the time delay of this delay control clock-generation means according to a mode-setting signal, the internal clock signal which certainly locked over the range where the frequency of an external clock signal is large is generable.

[0122] Since it constituted so that a delay control clock-generation means might include an adjustable delay means to by which connect with this two or more inverter trains and serial, and a delay offset means adds a time delay to the time delay of an inverter train, including the train of two or more inverters with which it is adjusted according to phase contrast in each of that operating current when following invention concerning claim 2, the time delay needed can give to a delay control clock-generation means certainly.

[0123] If invention concerning claim 3 is followed, a control delay clock generation means includes the train of two or more inverters with which each operating current is adjusted according to the phase contrast of an external clock signal and an internal clock signal. the time delay delay to which the delay offset means was set by the mode setting signal in the inverter output of the last stage of two or more of these inverter trains – carrying out – two or more inverter trains – the first rank, since it was made to give to an inverter The internal clock generating signal using a PLL loop formation can be constituted, and the clock frequency field of this PLL loop formation can be set as the large range.

[0124] If invention concerning claim 4 is followed, since the data set as the mode register contained in this synchronous semiconductor memory are used, the amount of delay offset can generate the control signal for setting up the amount of delay offset certainly, without using an excessive circuit.

[0125] If invention concerning claim 5 is followed, the data stored in the mode register are data which specify the CAS latency to which an effective data is outputted, and the clock frequency field of an internal clock generating circuit can be easily set up according to the frequency domain of the external clock signal defined according to CAS latency information.

[0126] Moreover, since a user sets up CAS latency data before use of a synchronous semiconductor memory, they can set the clock frequency field of an internal clock generating circuit as transparent for a user certainly according to the application application of this synchronous semiconductor memory.

[0127] If invention concerning claim 6 is followed, since the selector which chooses one side of an external clock signal and the clock signal from a delay control clock generation means according to a mode change-over signal, and is outputted as an internal clock signal is prepared further, When the frequency of an external clock signal cannot respond by addition of delay offset low, the internal clock signal which carried out phase simulation to the external clock signal certainly can be generated, and the large internal clock generating circuit of the clock frequency range can be realized.

[0128] An armature-voltage control delay means to generate the signal which operates by the time delay which will generate the electrical potential difference according to the phase contrast of the 1st and 2nd signals, and will be determined with this electrical potential difference if invention concerning claim 7 is followed, and is equivalent to the 2nd signal, Since it constitutes so that this active region setting signal may be answered and offset may be given to the time delay of this armature-voltage control delay means, the 2nd signal which carried out phase simulation certainly over the large frequency domain of the 1st signal is generable.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is drawing showing roughly the configuration of the whole internal clock generating circuit according to the gestalt 1 of implementation of this invention.
- [Drawing 2] It is drawing for explaining actuation of the internal clock generating circuit according to this invention.
- [Drawing 3] It is drawing showing an example of the configuration of the phase detector shown in drawing 1, a charge pump, and a loop filter.
- [Drawing 4] It is the timing-chart Fig. showing actuation of the phase detector shown in drawing 3.
- [Drawing 5] It is drawing showing the configuration of the example of modification of the internal clock generating circuit according to the gestalt 1 of implementation of this invention.
- [Drawing 6] It is drawing showing roughly the configuration of the data read-out section of a synchronous semiconductor memory equipped with the internal clock generating circuit according to this invention.
- [Drawing 7] It is the timing-chart Fig. showing the actuation at the time of data read-out of the synchronous semiconductor memory shown in drawing 6.
- [Drawing 8] It is drawing showing roughly the configuration of the mode change-over signal generator of the internal clock generating circuit according to the gestalt 2 of implementation of this invention.
- [Drawing 9] It is the timing-chart Fig. showing the mode data setting-operation to the mode register shown in drawing 8.
- [Drawing 10] It is drawing showing roughly the configuration of the adjustable delay circuit of the internal clock generating circuit according to the gestalt 3 of implementation of this invention.
- [Drawing 11] It is drawing showing the configuration of the example of modification of the internal clock generating circuit according to the gestalt 3 of implementation of this invention.
- [Drawing 12] It is drawing showing roughly the configuration of the internal clock generating circuit according to the gestalt 4 of implementation of this invention.
- [Drawing 13] It is drawing showing the configuration of the example of modification of the internal clock generating circuit according to the gestalt 4 of implementation of this invention.
- [Drawing 14] It is drawing showing roughly the configuration of the whole internal clock generating circuit according to the gestalt 5 of implementation of this invention.
- [Drawing 15] It is drawing showing the configuration of the example of modification of the internal clock generating circuit according to the gestalt 5 of implementation of this invention.
- [Drawing 16] It is the timing-chart Fig. showing data read-out of the conventional synchronous semiconductor memory and the actuation at the time of a store.
- [Drawing 17] It is drawing showing the configuration of the conventional synchronous whole semiconductor memory roughly.
- [Drawing 18] It is drawing showing the timing relationship of the internal clock signal of a synchronous semiconductor memory and external clock signal which are shown in drawing 17.
- [Drawing 19] It is drawing showing roughly the configuration of the whole internal clock generating circuit in the conventional synchronous semiconductor memory.
- [Drawing 20] It is drawing showing an example of the configuration of the armature-voltage control delay component shown in drawing 19.
- [Description of Notations]
- 1 Adjustable Delay Circuit, 1a, 1B Delay Component, 1C, 1E, 1G Selector, 10 An adjustable delay circuit, 10a and 10b, a delay component, 10c Selector, Two selectors, 20 A selector, 120, 122 Clock buffer, 124 A phase detector, 126 A charge pump, 128 Loop filter, 130 An armature-voltage control delay component, IV1-IVn An inverter, 130a Current Miller circuit, 130b A delay circuit, 104 A command decoder, 152 A mode register, 154 A register control circuit, 1d, 1f armature-voltage control delay circuit.

[Translation done.]

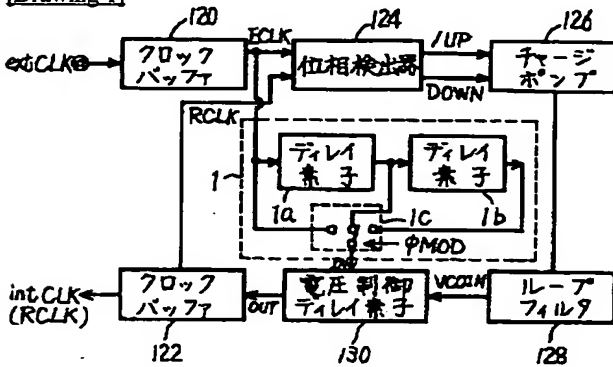
NOTICES

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

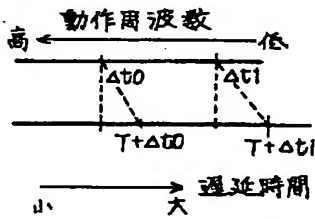
DRAWINGS

[Drawing 1]

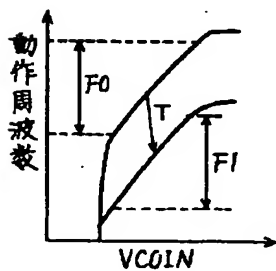


[Drawing 2]

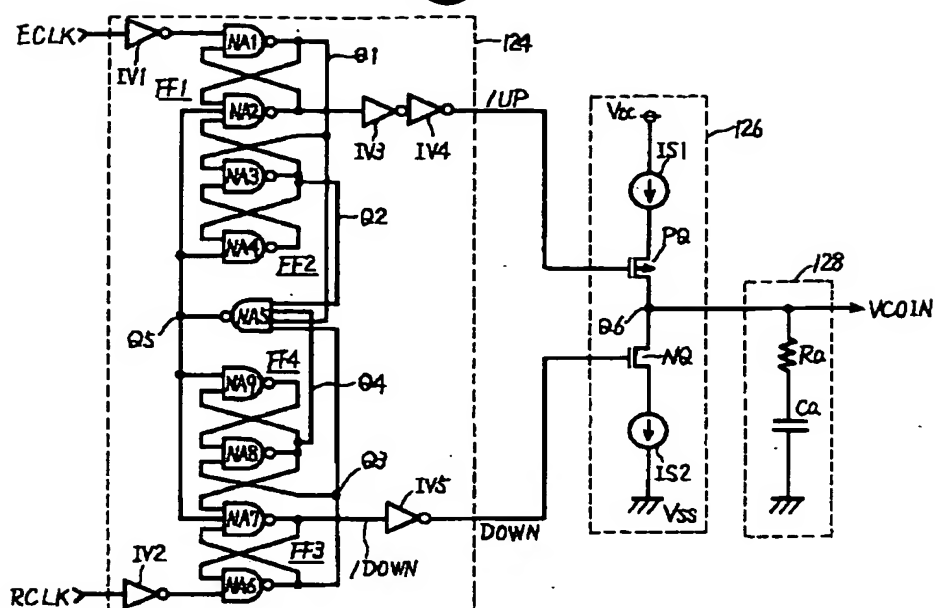
(A)



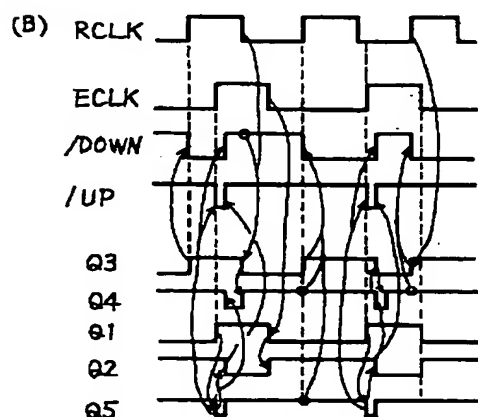
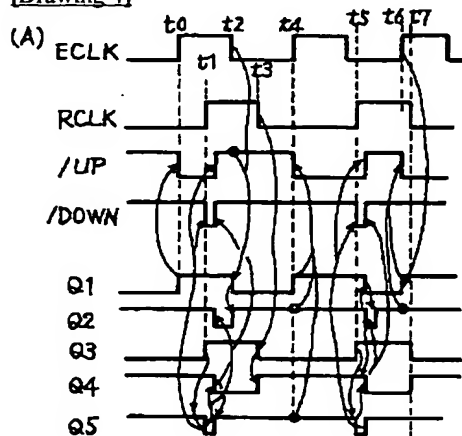
(B)



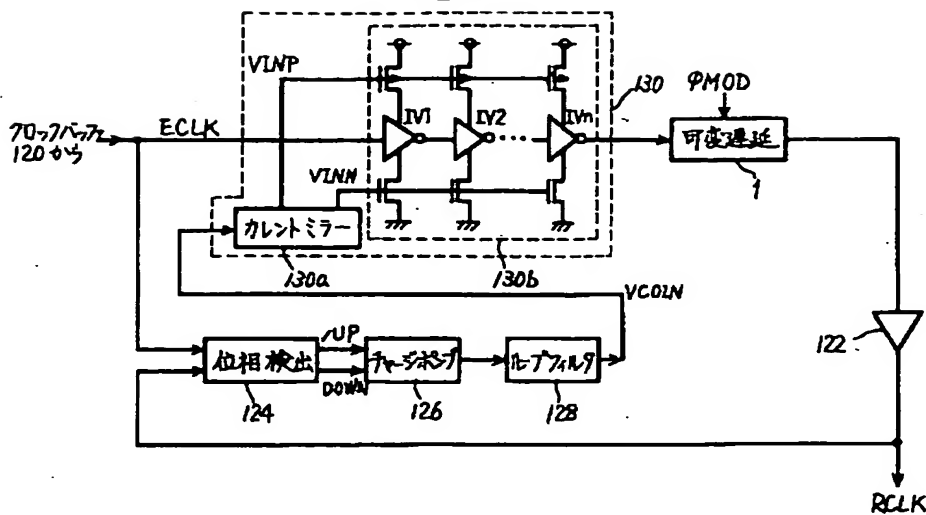
[Drawing 3]



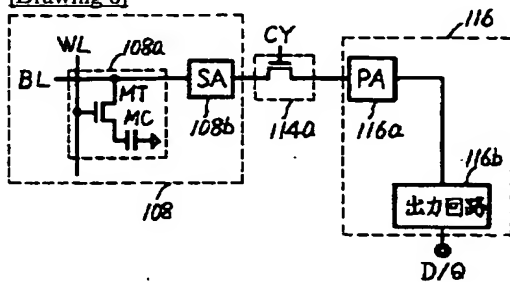
[Drawing 4]



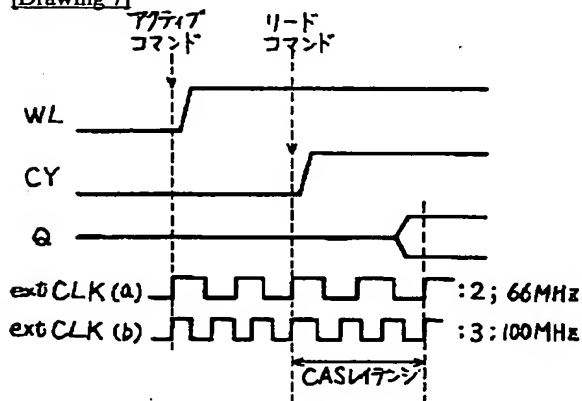
[Drawing 5]



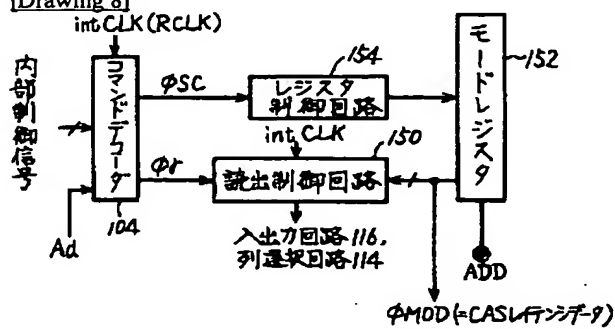
[Drawing 6]



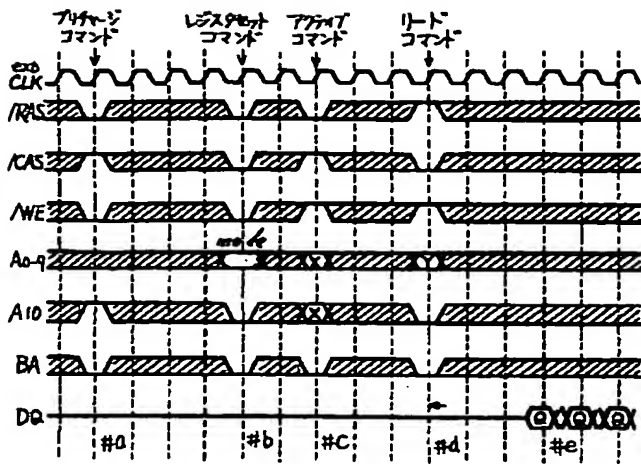
[Drawing 7]



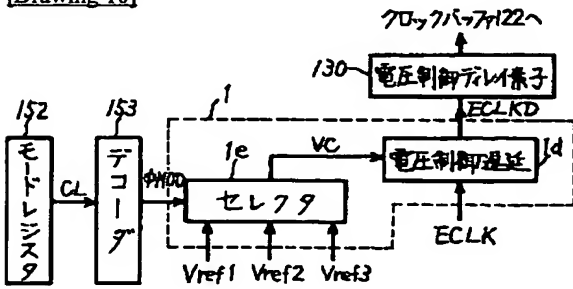
[Drawing 8]



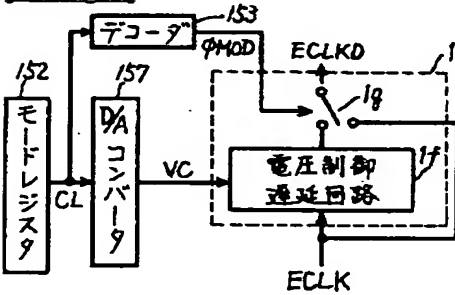
[Drawing 9]



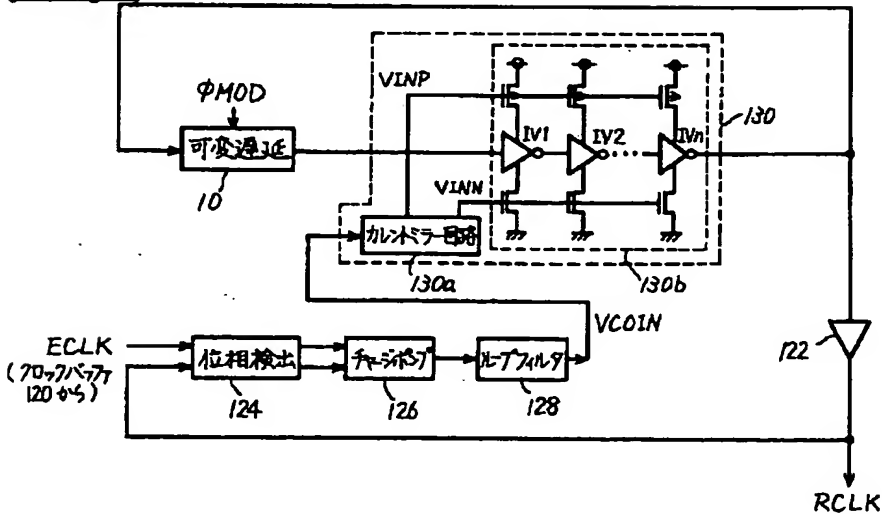
[Drawing 10]



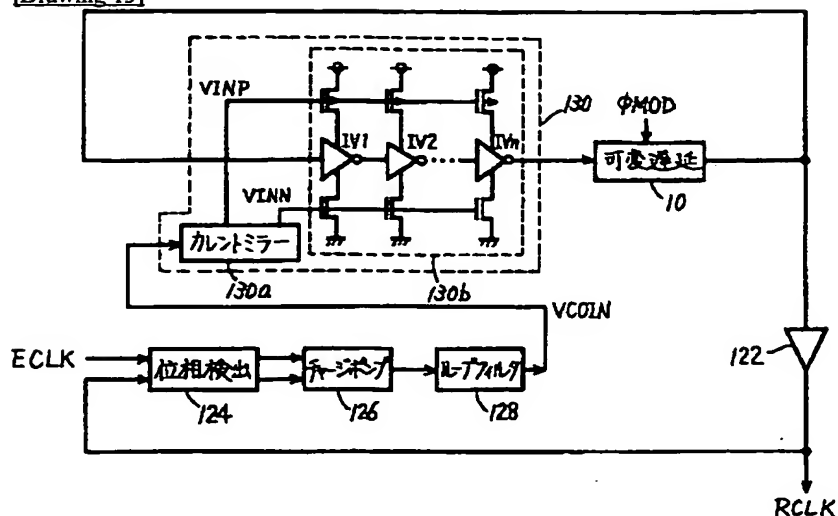
[Drawing 11]



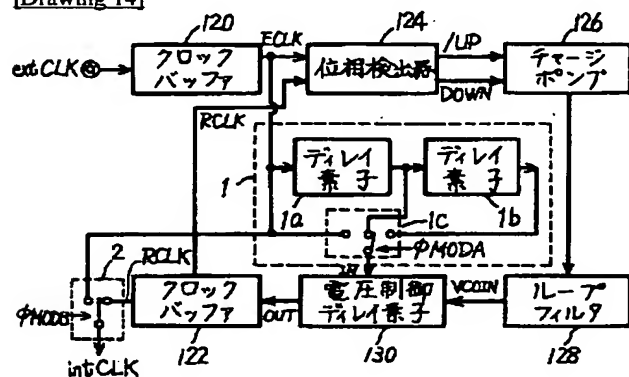
[Drawing 12]



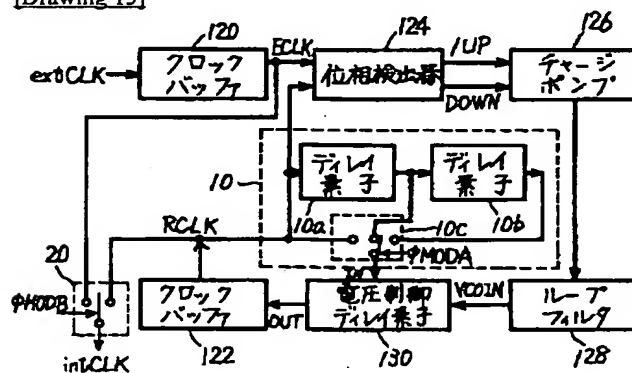
[Drawing 13]



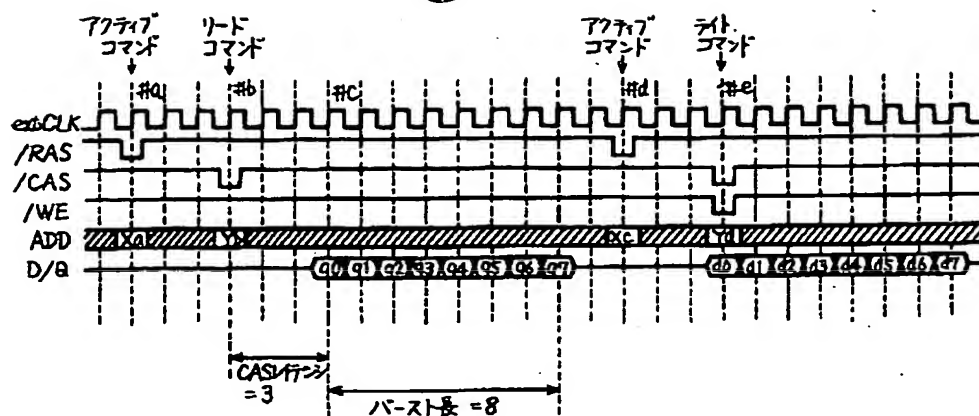
[Drawing 14]



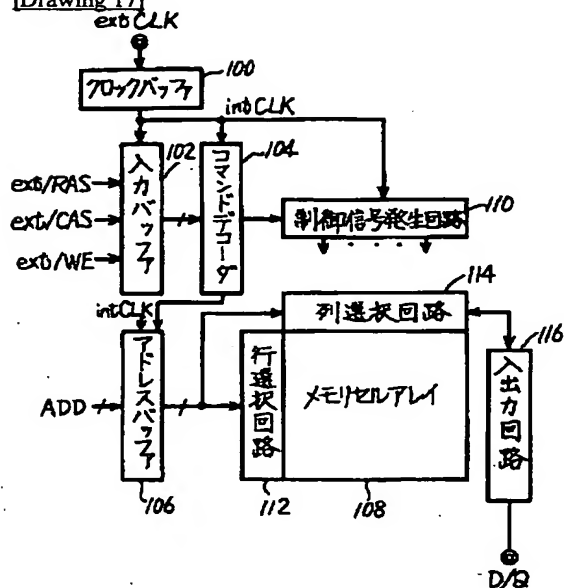
[Drawing 15]



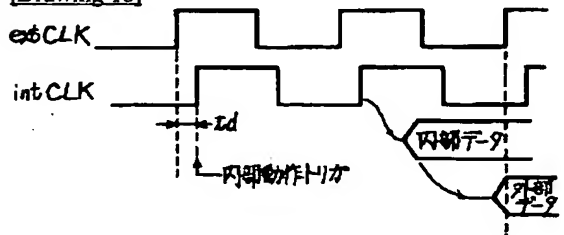
[Drawing 16]



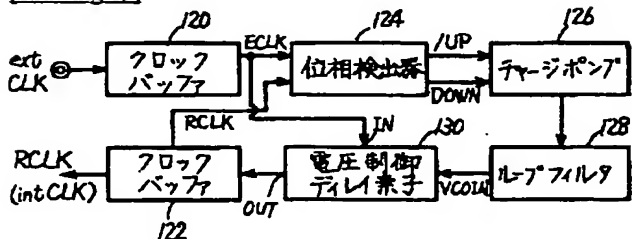
[Drawing 17]



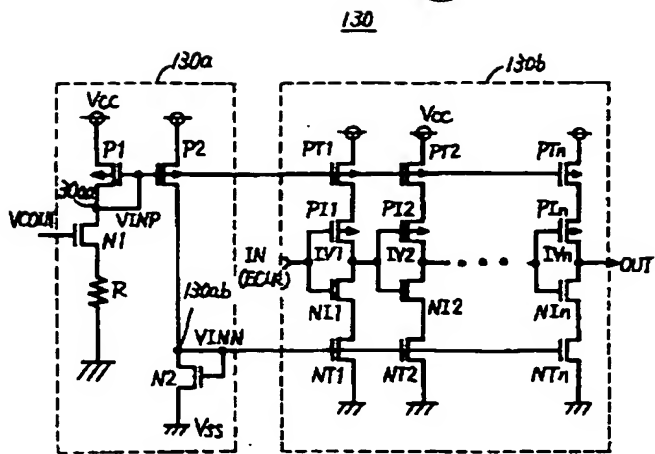
[Drawing 18]



[Drawing 19]



[Drawing 20]



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.